

MUX, DeMUX, Adder



학 과	컴 퓨 터 학 과
강 의	논 리 회 로 실 험
교 수 님	강 병 익
제 출 자	나 상 권
제 출 일	2008 / 11 / 5
학 번	0 7 6 0 9 0 1 7
분반 /조	수요일 / 1조

1. 실험 목적

멀티플렉서 디멀티플렉서 반가산기 전가산기의 작동원리와 구조를 이해하고, 진리표와 카르노맵을 이용해 회로를 구현할 수 있도록 한다.

MUX 의 기능은 복수개의 입력선 으로부터 필요한 데이터를 선택하여 하나의 출력선 으로 내보내는 역할을 하는데 쉽게 말해서 4x1 MUX는 2개의 셀렉트값의 배열로 입력값을 선택해서 출력한다. DeMUX는 그 셀렉트값을 이용해 4개의 출력중 하나의 출력으로 내보내도록 하는 역할을 한다.

반가산기의 기능은 두 개의 1자리 바이너리 값을 더하는 역할을 하고, 전가산기의 기능은 세 개의 바이너리 값을 더하는 역할을 한다.

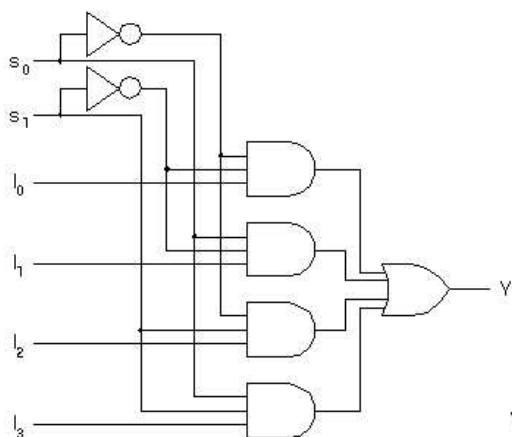
2. 실험 방법

실험에 필요한 구성물 : MUX+DeMUX => 7411(3 input AND gate), 7432(2 input OR gate), 7404(NOT gate)

Half-Full Adder => 7486(2 input XOR gate), 7408(2 input AND gate), 7432(2 input OR gate)

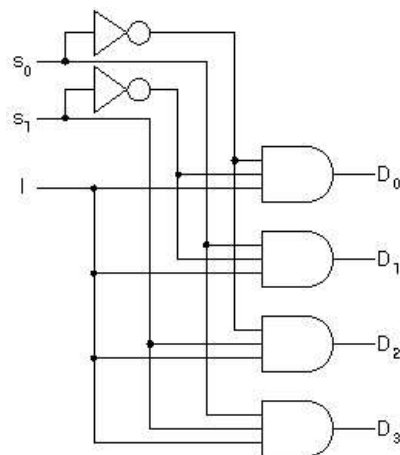
1) MUX+DeMUX :

가) MUX

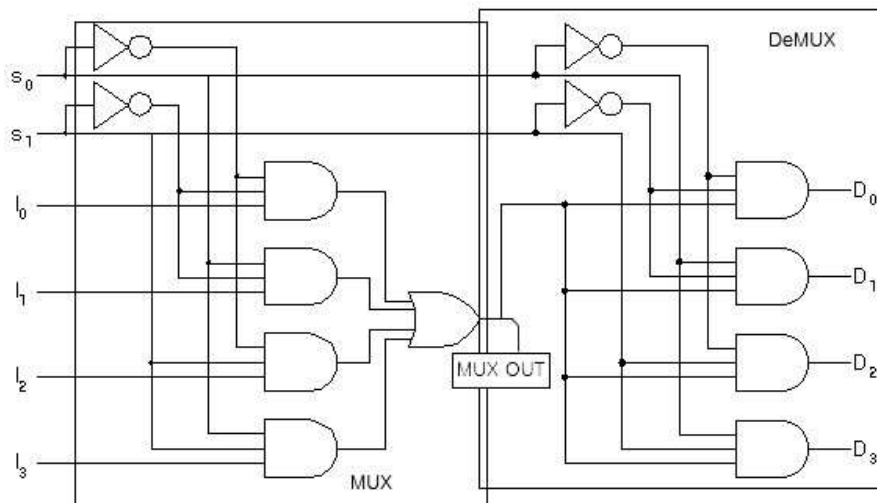


I		O
S ₁	S ₀	F
0	0	I ₀
0	1	I ₁
1	0	I ₂
1	1	I ₃

나) DeMUX



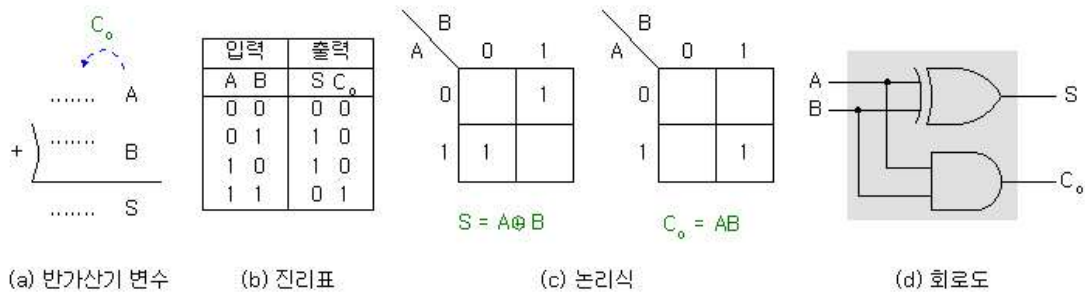
I		O			
S ₁	S ₀	D ₀	D ₁	D ₂	D ₃
0	0	I	0	0	0
0	1	0	I	0	0
1	0	0	0	I	0
1	1	0	0	0	I



두 회로를 연결하여 결과를 확인한다.

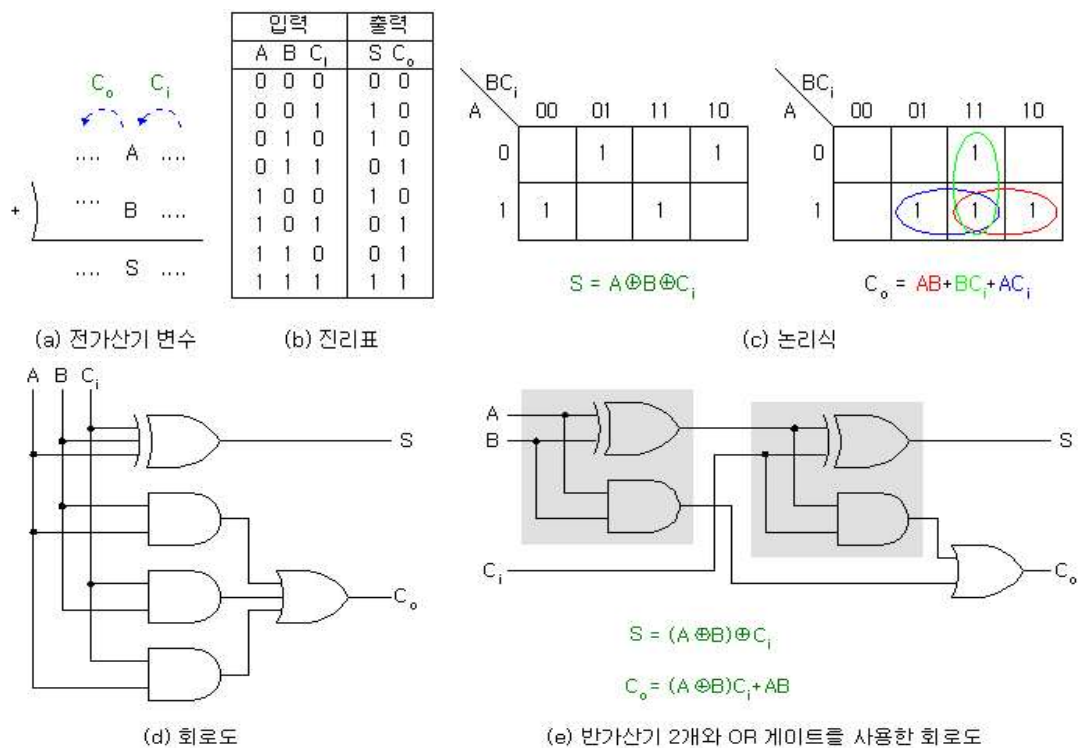
2) Half Adder , Full Adder

가) Half Adder



즉, A, B는 두 개의 1자리 이진 값을 나타내고 C_o는 올림여부, S는 덧셈된 값을 나타낸다.

나) Full Adder



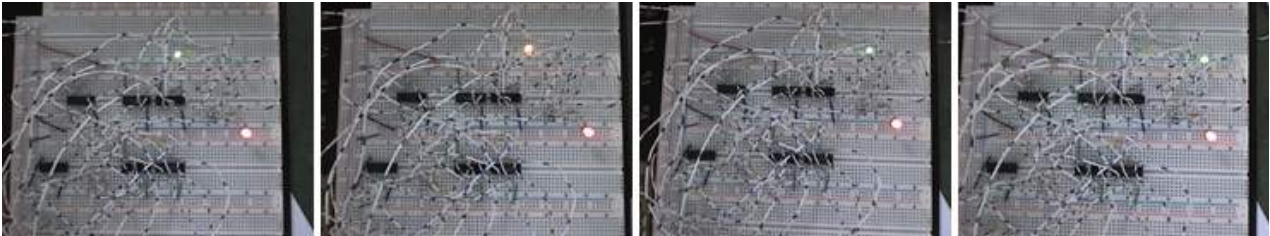
(d)의 회로도를 직접 만들 수 있지만 $\text{half} + \text{half} = \text{full}$ 이 된다는 간단한 상식으로 반가산기 두 개를 합쳐 전가산기를 만드는데, 큰 문제가 없었다.

3. 실험 결과

1) MUX+DeMUX

INPUT						MUX OUT	DeMUX OUT			
S_1	S_1	I_0	I_1	I_2	I_3	F	D_{10}	D_1	D_{12}	D_{13}
0	0	1	0	0	0	1	1	0	0	0
0	0	0	1	0	0	0	0	0	0	0
0	1	0	1	0	0	1	0	1	0	0
0	1	0	0	1	0	0	0	0	0	0
1	0	0	0	1	0	1	0	0	1	0
1	0	0	0	0	1	0	0	0	0	0
1	1	0	0	0	1	1	0	0	0	1
1	1	1	0	0	0	0	0	0	0	0

MUX OUT이 0으로 유효하지 않은 값들은 점등이 되지 않았다.

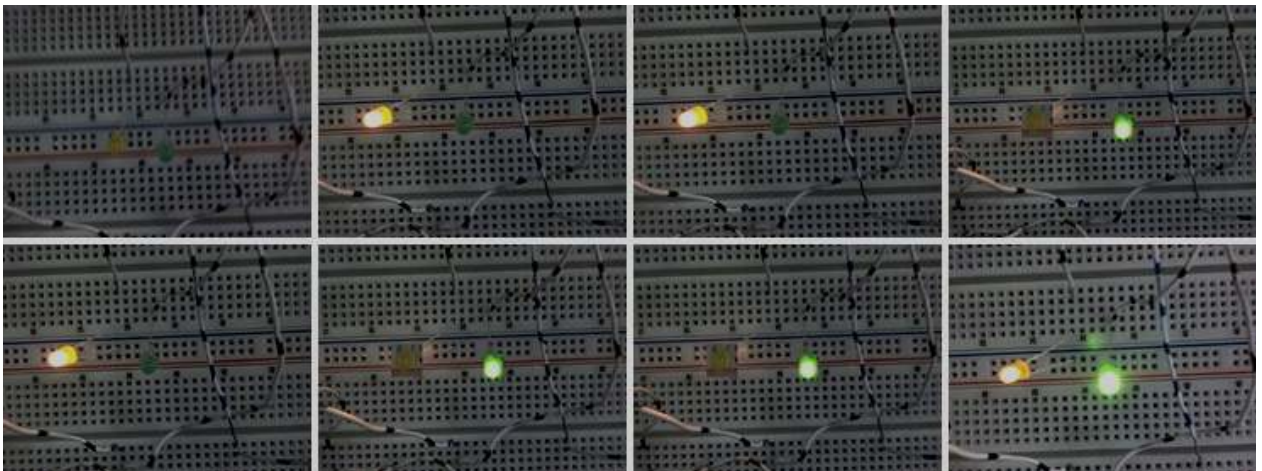


2) Half Adder , Full Adder

Half Adder



Full Adder



4. 고찰

사실 MUX와 DeMUX를 어디에 사용하는지 왜 사용하는 건지 몰라서 이 부분을 이해하는데 조금 어려움이 있었다. 신호 선택이라는 부분이 MUX와 DeMUX의 핵심적인 부분 이라는 걸 뒤늦게 이해하면서 어떤 곳에 어떻게 쓰일지 예상할 수 있었다. 그러나 Half Adder 와 Full Adder를 공부할 때는 MUX와 DeMUX때보다 더 흥미로웠는데, 아마도 그것들이 어떤 역할을 하는지 충분히 이해할 수 있었기에 그럴 수 있었다고 생각한다. 어셈블리어프로그래밍부터 베이직언어프로그래밍까지 공부하면서 더하면 더하는 것일 뿐이다 생각했지만 그게 어떤 방식인지 이해하지 못했기 때문이다. 물론 하드웨어적인모습으로 실험을 한것이기에 소프트웨어적으로 배운건 아니지만, 구조적으로 이해하는데 많은 도움이 되었다.

또한 이전 몇 실험부터 리드선이 많이 증가함에 따라 실험의 잦은 오류가 있었고 IC도 불량이었던걸 사용해서 실험시간이 많이 증가했었다.

5. 참고문헌

디지털 논리와 컴퓨터 설계 제 4 판