

# HMS39C7092

32 비트 임베디드 플래시 MCU

사용자 설명서

한글 ver 1.3a



## Flash MCU(HMS39C7092)

Released : February. 2001

### Revision History:

October 9, 2001	Ver 1.05	PMU 타이머 버스 컨트롤러	소프트 리셋 레지스터 쓰기 전용으로 변경 PWM 모드 듀티 0%의 경우 1 클럭 펄스 발생 캡처 모드 딜레이 외부 메모리 바이트 버스시 Thumb 실행불가 외부 웨이트 입력은 로우-액티브만 지원 nRD 신호가 nCS 타이밍내에서만 활성화
January 8, 2002	Prel 6	ADC/P7	ADC 핀의 GPIO 기능 삭제(ADC 입력만 사용)
Aprill 29, 2003	Ver 1.0	설명서 보정	
May 20, 2003	한글 1.0	한글화 및 플래시 파라메타 보정	
Jun 28, 2003	한글 1.1	교정판	Industrial 온도 스펙
March 30, 2005	한글 1.3	내부 플래시 프로그램 설명서의 제외/별도 문서화	
	한글 1.3a	버스 타이밍 오류 수정	

ARM®은 Advanced RISC Machine 社의 등록 상표입니다.  
ARM7TDMI 는 ARM 社에서 설계하였습니다.

본 문서의 내용은 사전 양해 없이 바뀔 수 있습니다.

본 문서는 저희 제품을 응용하기 위한 설명 용도로 사용되면, 매그나칩에서는 본 문서인해 본 제품을 사용하는 데에 따른 제 3 사의 저작권 및 특허 침해에 관련된 어떠한 내용에 대해서도 책임을 지지 않습니다. 본 문서는 매그나칩 및 다른 제 3 자의 어떠한 특허권의 소유에 대한 내용도 포함하고 있지 않습니다.

이 제품들은 일반 전자 장치에 사용되도록 고려되었습니다 (사무기, 통신기기, 측정장비, 가전 등).

이 제품들을 고성능, 고신뢰성 및 안전에 관련된 분야 (원자력 제어, 우주/항공, 교통신호, 연소제어 및 모든 안전관련 장비 등)에 사용하시기 전에 반드시 매그나칩에 문의 하여 주시기 바랍니다. 사전에 저희 회사와 상의 없이 개발된 제품에 의해 일어난 손해에 대해서는 책임을 지지 않습니다.

Copyright 2003 Magnachip Semiconductor, Inc.  
All Rights Reserved

## 목 차

제 1 장.....	13
소개.....	13
1.1 개요.....	14
1.2 특징.....	15
1.3 핀 구성.....	16
1.4 동작 모드.....	21
1.5 메모리 맵.....	25
제 2 장.....	29
ARM7TDMI 코어.....	29
2.1 개요.....	30
2.2 특징.....	30
2.3 코어 블록도.....	31
2.4 명령어 셋.....	32
2.4.1 ARM 명령어.....	32
2.4.2 THUMB 명령어.....	35
2.4.3 프로그램 스테이터스 레지스터.....	38
2.4.3.1 컨디션 코드 플래그.....	39
2.4.3.2 제어 비트.....	39
2.4.4 ARM 명령어.....	41
제 3 장.....	43
버스 컨트롤러.....	43
3.1 개요.....	44
3.1.1 특징.....	44
3.1.2 핀 구성.....	45
3.2 버스 컨트롤러 레지스터들.....	46
3.2.1 버스 설정 레지스터.....	47
3.3 버스 컨트롤러의 동작.....	48
3.3.1 메모리 영역.....	48
3.3.2 메모리 영역 설정.....	49
3.3.3 칩셀렉트 신호.....	49
3.4 기본적인 버스 인터페이스.....	50
3.4.1 개요.....	50
3.4.2 바이트 단위 쓰기 제어.....	50
3.4.3 기본적인 버스 컨트롤 신호 타이밍.....	52
3.4.4 웨이트 컨트롤.....	55
3.4.5 버스 아비터.....	56
제 4 장.....	59
MCU 컨트롤러.....	59
4.1 개요.....	60
4.2 핀 기능 설명.....	60

4.3	레지스터 설명.....	61
4.3.1	레지스터 메모리 맵.....	61
4.3.2	PINMUX 레지스터.....	62
4.3.3	MCU 장치 코드 레지스터 (0x0900_002C 읽기전용).....	66
제 5 장	전원 관리부 (PMU).....	67
5.1	개요.....	68
5.2	동작 모드.....	69
5.2.1	개요.....	69
5.2.2	리셋 및 동작 모드.....	69
5.3	전력 관리부 레지스터 맵.....	71
5.4	레지스터 설명.....	72
5.5	신호 타이밍.....	75
5.5.1	과워 온 리셋.....	75
5.5.2	와치독 타이머 오버플로우.....	75
5.5.3	소프트리셋.....	76
제 6 장	인터럽트 컨트롤러 (INTC).....	77
6.1	개요.....	78
6.1.1	인터럽트 소스.....	79
6.1.2	인터럽트 신호 제어.....	79
6.2	인터럽트 컨트롤러 레지스터.....	81
제 7 장	와치독 타이머 (WDT).....	85
7.1	개요.....	86
7.2	와치독 타이머 개요.....	87
7.3	와치독 타이머 동작.....	88
7.3.1	오버플로우 플래그 세트 및 클리어 타이밍.....	89
7.4	와치독 타이머 메모리 맵.....	90
7.5	와치독 타이머 레지스터 설명.....	91
7.6	레지스터 설정 예.....	94
7.6.1	인터벌 타이머 모드.....	94
7.6.2	내부 리셋을 금지 시의 와치독 타이머 모드.....	95
7.6.3	과워 온 리셋 시의 와치독 타이머 모드.....	96
7.6.4	매뉴얼 리셋시의 와치독 타이머 모드.....	97
제 8 장	범용 타이머 (GPT).....	99
8.1	개요.....	100
8.1.1	범용 타이머 개요.....	101
8.2	범용 타이머 메모리 맵.....	102
8.2.1	레지스터.....	102
8.2.2	범용 타이머 레지스터 설명.....	103
8.2.2.1	타이머 글로벌 컨트롤 레지스터.....	103

## Flash MCU(HMS39C7092)

8.2.2.2	타이머 채널 컨트롤 레지스터.....	104
8.3	범용 타이머의 동작.....	108
8.3.1	프리런 모드.....	109
8.3.2	컴페어 매치 모드.....	111
8.3.3	입력 캡처 모드.....	113
8.3.4	동기 클리어 카운트 모드.....	114
8.3.5	진폭 변조(PWM) 모드.....	115
8.3.5.1	진폭 변조(PWM) 모드의 동작.....	115
제 9 장	비동기 직렬 통신 포트 (UART).....	119
9.1	개요.....	120
9.2	특징.....	121
9.3	UART 신호들의 정의.....	121
9.4	UART 내부 블럭도.....	122
9.5	UART의 레지스터에 대한 설명.....	123
9.6	UART의 동작.....	134
9.6.1	FIFO 인터럽트 모드에서의 동작.....	134
9.6.2	FIFO Polled 모드에서의 동작.....	135
9.7	레지스터 요약.....	136
제 10 장	범용 I/O 포트 (GPIO).....	137
10.1	개요.....	138
10.2	범용 I/O 포트 레지스터.....	139
10.2.1	레지스터 메모리 맵.....	139
10.2.2	레지스터 설명.....	140
10.3	기능 설명.....	141
제 11 장	내장 SRAM.....	143
11.1	개요.....	144
11.2	기능 설명.....	144
제 12 장	내장 플래시 메모리.....	145
12.1	개요.....	146
12.2	특징.....	146
12.3	구성도.....	148
12.4	플래시 메모리 레지스터 설명.....	150
12.5	On-Board 프로그램 모드.....	155
12.5.1	부트 모드.....	155
12.5.2	유저 프로그램 모드.....	158
제 13 장	A/D 컨버터.....	161
13.1	개요.....	162
13.1.1	특징.....	162

## Flash MCU(HMS39C7092)

13.1.2	핀 구성.....	163
13.2	A/D 컨버터 레지스터들.....	164
13.2.1	레지스터 설명.....	165
13.3	동작.....	167
13.4	인터럽트.....	168
13.5	사용시 주의사항.....	169
13.6	예제.....	172
제 14 장	.....	175
전기적 특성	.....	175
14.1	동작의 절대 한계치.....	176
14.2	권장 동작 조건.....	176
14.3	DC 특성.....	177
14.4	AC 특성.....	178
14.4	AD 변환 특성.....	180
14.5	동작 타이밍.....	181
14.5.1	클럭 타이밍.....	181
14.5.2	리셋 타이밍.....	181
14.5.3	버스 타이밍.....	182
A-1	Package Dimension	

## 그림 목 차

그림 1.1	핀 배치.....	14
그림 1.2	HMS39C7092 블록도.....	15
그림 1.3	HMS39C7092 메모리 맵.....	25
그림 1.4	모드 2,3의 메모리 맵.....	26
그림 1.5	모드 4와 모드 5의 메모리 맵.....	26
그림 1.6	모드 6의 메모리 맵.....	27
그림 1.6	모드 7의 메모리 맵.....	27
그림 2.1	ARM7TDMI 코어 블록도.....	31
그림 2.2	ARM 명령어 집합 형태.....	32
그림 2.3	ARM 상태에서의 레지스터 구성.....	34
그림 2.4	THUMB 명령어 셋 포맷.....	35
그림 2.5	THUMB 상태에서의 레지스터 구성.....	37
그림 2.6	THUMB 상태에서 ARM 상태로의 레지스터 변환.....	37
그림 2.7	프로그램 스테이터스 레지스터 포맷.....	38
그림 3.1	버스 컨트롤러 블록도.....	44
그림 3.2	외부 공간 메모리 맵.....	48
그림 3.3	8비트 액세스 시의 데이터 크기 및 정렬.....	50
그림 3.4	16비트 액세스 시의 데이터 크기 및 정렬.....	51
그림 3.5	16비트 2 웨이트로 설정 되었을 때의 쓰기 타이밍 (워드 액세스).....	52
그림 3.6	16비트 2 웨이트로 설정 되었을 때의 읽기 타이밍 (워드 액세스).....	52
그림 3.7	16비트 2 웨이트로 설정 시 쓰기 타이밍 (하프워드 액세스).....	53
그림 3.8	16비트 2 웨이트로 설정 시 읽기 타이밍 (하프워드 액세스).....	53
그림 3.9	16비트 2 웨이트로 설정 시 쓰기 타이밍 (바이트 액세스).....	54
그림 3.10	16비트 2 웨이트로 설정 시 읽기 타이밍 (바이트 액세스).....	54
그림 3.11	웨이트 삽입의 예.....	55
그림 3.18	외부 버스 마스터 동작의 예.....	57
그림 5.1	PMU 블록도.....	68
그림 5.2	동작 모드 별 상태 변화도.....	70
그림 5.3	외부 리셋 타이밍.....	75
그림 5.4	와치독 타이머 오버플로우 타이밍.....	75
그림 5.5	와치독 타이머의 소프트리셋 타이밍.....	76
그림 5.6	PMU의 소프트리셋 타이밍.....	76
그림 6.1	인터럽트 발생 흐름도.....	78
그림 7.1	와치독 타이머 블록도.....	86
그림 7.2	와치독 타이머 모드 동작 예.....	88
그림 7.3	인터벌 타이머 모드 동작 예.....	89
그림 7.4	인터벌 타이머 모드에서의 인터럽트 클리어.....	94
그림 7.5	와치독 타이머 모드에서의 인터럽트 클리어.....	95
그림 7.6	와치독 모드에서의 인터럽트 클리어 및 리셋.....	96
그림 7.7	매뉴얼 리셋 시의 와치독 타이머 모드에서의 인터럽트 클리어.....	97
그림 8.1	타이머 채널 블록도.....	100

그림 8.2	프리런 모드의 동작.....	109
그림 8.3	인터벌 카운터 모드의 동작.....	110
그림 8.4	타이머 출력 0,1 예.....	111
그림 8.5	타이머 출력 반전 예.....	112
그림 8.6	컴페어 매치 기능 동작의 타이밍.....	112
그림 8.7	입력 캡처 모드의 동작 예.....	113
그림 8.8	동기화 모드 동작의 예.....	114
그림 8.9	PWM 모드 동작의 예 1.....	115
그림 8.10	PWM 모드 동작의 예 2.....	116
그림 8.11	리셋 동기 PWM 모드 동작의 예.....	117
그림 9.1	UART의 블록도.....	120
그림 9.2	UART의 내부 블록도.....	122
그림 10.1	GPIO 블록도 (포트 A, 포트 8의 예).....	138
그림 12.1	플래시 메모리 구성도.....	148
그림 12.2	On-Board 부트 모드에서의 시스템 구성.....	155
그림 12.3	부트 모드 실행 순서.....	156
그림 12.4	유저 모드 실행 수순.....	158
그림 13.1	A/D 컨버터의 블록도.....	162
그림 13.2	A/D 컨버터 동작.....	167
그림 13.3	아날로그 입력 회로의 예제.....	170
그림 13.4	A/D 컨버터 정확도 정의 (1).....	170
그림 13.5	A/D 컨버터 정확도 정의 (2).....	171
그림 14.1	수정 발진의 안정화 시간.....	181
그림 14.2	리셋 입력 타이밍.....	181
그림 14.3	버스 컨트롤러의 쓰기 타이밍도.....	182
그림 14.4	버스 컨트롤러의 읽기 타이밍도.....	182
그림 14.5	외부 웨이트 입력에 의한 기본 버스 사이클.....	183
그림 14.6	버스 릴리스 모드 타이밍.....	183



## 표 목 차

표 1.1	핀 설명	16
표 1.1	핀 설명 (계속)	17
표 1.1	핀 설명 (계속)	18
표 1.1	핀 설명 (계속)	19
표 1.1	핀 설명 (계속)	20
표 1.2	HMS39C7092 동작 모드	21
표 1.3	모드별 핀 할당	22
표 1.3	모드별 핀 할당 (계속)	23
표 1.3	모드별 핀 할당 (계속)	24
표 2.1	ARM 명령어 셋 일람	33
표 2.2	THUMB 명령어 셋 일람	36
표 2.3	컨디션 코드 요약	38
표 2.4	PSR 모드 비트 값	40
표 3.1	버스 컨트롤러의 입·출력 핀	45
표 3.2	버스 컨트롤러의 레지스터 메모리 맵	46
표 3.3	A0에 따른 nHWR, nLWR 상태 (16비트 버스 설정의 경우)	51
표 4.1	다기능 핀에 대한 설명	60
표 4.2	MCU 컨트롤러 블록의 메모리 맵	61
표 4.3	모드에 따른 MCU 컨트롤러 블록의 레지스터 초기값	61
표 5.1	PMU부의 레지스터 맵	71
표 6.1	기본 우선순위	79
표 6.2	메모리 맵	81
표 6.3	인터럽트 소스 트리거 모드	82
표 7.1	와치독 타이머의 메모리 맵	90
표 7.2	카운터 클럭 소스에 따른 주기	92
표 8.1	타이머 블록 레지스터 맵	102
표 8.2	채널 별 레지스터 맵	102
표 8.3	각 채널의 기준 어드레스	102
표 9.1	신호 설명	121
표 9.2	UART 레지스터의 종류와 주소	123
표 9.3	UART 레지스터의 초기화 값	123
표 9.4a	각 보레이트에 따른 분주값 (CLK=33MHz)	127
표 9.4b	각 보레이트에 따른 분주값 (CLK=50MHz)	127
표 9.5	인터럽트와 각각의 인터럽트 제어 방법	132
표 9.6	UART 레지스터들의 요약	136
표 10.1	GPIO 레지스터 메모리 맵	139
표 12.1	동작 모드	147
표 12.2	플래시 메모리 부의 신호 설명	149
표 12.3	플래시 메모리 레지스터	150
표 12.4	제어 레지스터	152
표 12.5	소거 섹터 레지스터	153

---

## Flash MCU(HMS39C7092)

표 12.6	상태 및 전압 설정 레지스터.....	154
표 13.1	A/D 컨버터 핀.....	163
표 13.2	A/D 컨버터의 레지스터들.....	164
표 14.1	절대 한계치.....	176
표 14.2	권장 동작 조건.....	176
표 14.3	DC 특성.....	177
표 14.4	풀업 핀의 특성.....	177
표 14.5	풀다운 핀의 특성.....	177
표 14.6	클럭 타이밍.....	178
표 14.7	컨트롤 신호 타이밍.....	178
표 14.8	버스 타이밍 (units: ns).....	179
표 14.9	A/D 변환 동작 조건.....	180
표 14.10	A/D 컨버터의 전기적 특성.....	180

## Flash MCU(HMS39C7092)

---



제1장  
소개

1.1 개요

본 제품은 매그나칩의 플래시메모리 내장형 고성능 32 비트 마이크로컨트롤러 제품군의 하나입니다. 이 제품군은 다양한 주변장치를 내장하고 있습니다. 이 마이크로컨트롤러는 192K 바이트 플래시메모리, 4K 바이트 SRAM, 16 비트 타이머 6 채널, 와치독 타이머, UART 2 채널, 프로그래머블 인터럽트 컨트롤러, 75 비트 GPIO 포트, 칩셀렉트 및 웨이트 제어 가능한 버스 컨트롤러 등이 온칩 모듈라 아키텍처 (AMBA)로 내장 되어 있습니다.

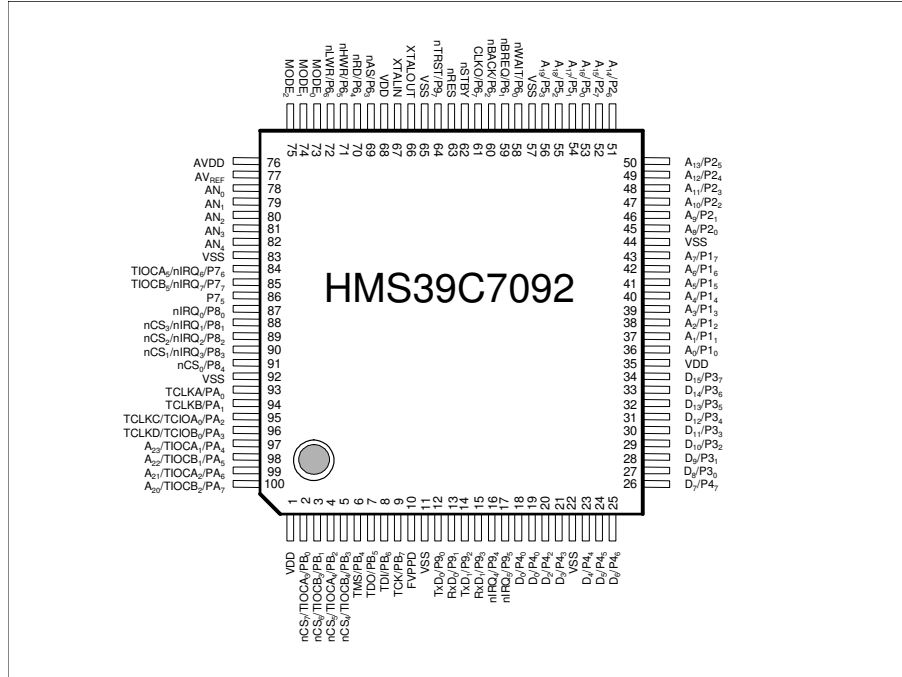


그림 1.1 핀 배치

## 1.2 특징

- AMBA 를 이용한 단일 칩 모듈라 아키텍처
- ARM7TDMI 32 비트 RISC CPU
- 최고 50MHz 동작
- 192K 바이트(1.5Mb) 내장 플래시 메모리
- 4K 바이트 내장 SRAM (32 비트 0 웨이트)
- 8/16-비트 외부 어드레스/데이터 버스 지원
- 외부 8 개의 칩셀렉트와 프로그래머블 또는 외부 웨이트 입력
- 전원 관리 유닛을 통한 저전력 설계
- 프로그래머블한 외부 8 입력 인터럽트 컨트롤러
- 다기능 타이머 6 채널 (업카운터/PWM)
- 8 비트 와치독 타이머(WDT)
- 16C550 호환 비동기 직렬 통신 인터페이스(UART) 2 채널
- 프로그래머블한 11 개의 범용 I/O 포트 (75 비트)
- 10 비트 5 채널 A/D 컨버터
- 100 TQFP 패키지

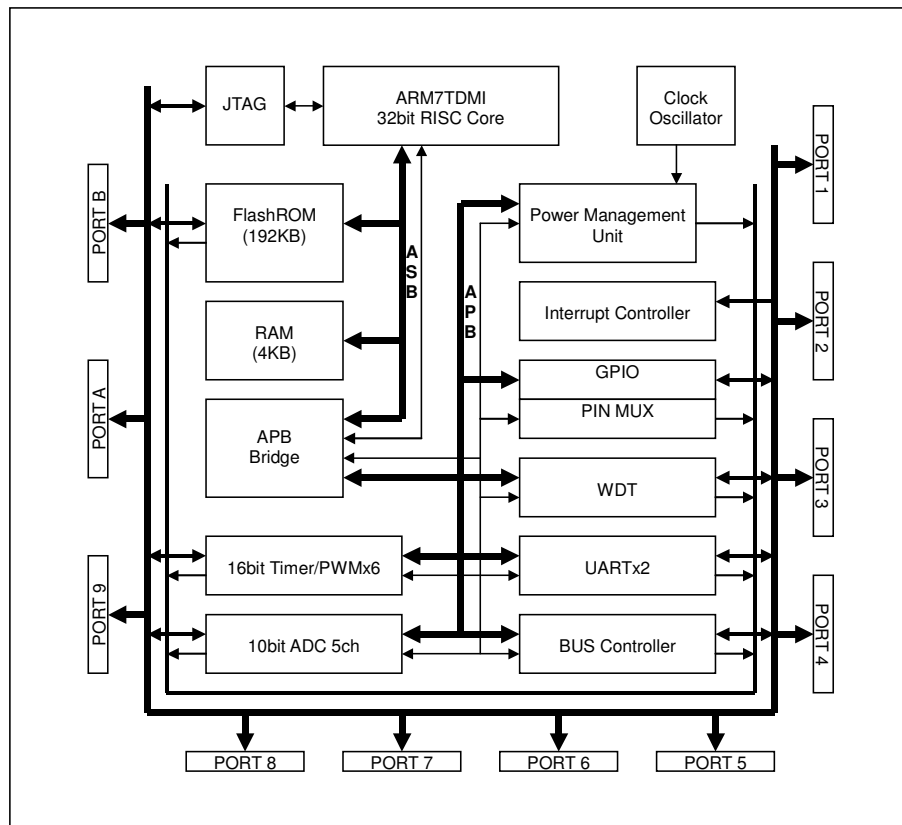


그림 1.2 HMS39C7092 블록도

1.3 핀 구성

표 1.1 핀 설명

핀	기호	방향	설명
1	VDD	-	전원 (3.3V)
	nCS <sub>7</sub>	O	외부 칩셀렉트 7
2	TCIOA <sub>3</sub>	I/O	타이머 3 PWM 출력, 컴페어 매치 GRA 출력 및 신호 캡처 입력
	PB <sub>0</sub>	I/O	범용 I/O 포트 B 비트0
	nCS <sub>6</sub>	O	외부 칩셀렉트 6
3	TCIOB <sub>3</sub>	I/O	타이머 3 PWM 출력, 컴페어 매치 GRB 출력 및 신호 캡처 입력
	PB <sub>1</sub>	I/O	범용 I/O 포트 B 비트 1
	nCS <sub>5</sub>	O	외부 칩셀렉트 5
4	TIOCA <sub>4</sub>	I/O	타이머 4 PWM 출력, 컴페어 매치 GRA 출력 및 신호 캡처 입력
	PB <sub>2</sub>	I/O	범용 I/O 포트 B 비트2
	nCS <sub>4</sub>	O	외부 칩셀렉트 4
5	TIOCB <sub>4</sub>	I/O	타이머 4 PWM 출력, 컴페어 매치 GRB 출력 및 신호 캡처 입력
	PB <sub>3</sub>	I/O	범용 I/O 포트 B 비트3
6	TMS	I	JTAG 테스트 모드 선택선
	PB <sub>4</sub>	I/O	범용 I/O 포트 B 비트4
7	TDO	O	JTAG 테스트 데이터 출력
	PB <sub>5</sub>	I/O	범용 I/O 포트 B 비트5
8	TDI	I	JTAG 테스트 데이터 입력
	PB <sub>6</sub>	I/O	범용 I/O 포트 B 비트6
9	TCK	I	JTAG 테스트 클럭
	PB <sub>7</sub>	I/O	범용 I/O 포트 B 비트7
10	VPPD	I	플래시 프로그램 전원 (5V - 프로그램/프리프로그램 및 소거 시)
11	VSS	-	전원 (GND)
12	TxD <sub>0</sub>	O	UART0 송신 데이터
	P9 <sub>0</sub>	I/O	범용 I/O 포트 9 비트 0
13	RxD <sub>0</sub>	O	UART0 수신 데이터
	P9 <sub>1</sub>	I/O	범용 I/O 포트 9 비트 1
14	TxD <sub>1</sub>	O	UART1 송신 데이터
	P9 <sub>2</sub>	I/O	범용 I/O 포트 9 비트 2
15	RxD <sub>1</sub>	O	UART1 수신 데이터
	P9 <sub>3</sub>	I/O	범용 I/O 포트 9 비트 3
16	nIRQ <sub>4</sub>	I	외부 인터럽트 입력 4
	P9 <sub>4</sub>	I/O	범용 I/O 포트 9 비트 4
17	nIRQ <sub>5</sub>	I	외부 인터럽트 입력 5
	P9 <sub>5</sub>	I/O	범용 I/O 포트 9 비트 5
18	D <sub>0</sub>	I/O	외부 데이터 버스 비트 0
	P4 <sub>0</sub>	I/O	범용 I/O 포트 4 비트 0
19	D <sub>1</sub>	I/O	외부 데이터 버스 비트 1
	P4 <sub>1</sub>	I/O	범용 I/O 포트 4 비트 1
20	D <sub>2</sub>	I/O	외부 데이터 버스 비트 2
	P4 <sub>2</sub>	I/O	범용 I/O 포트 4 비트 2
21	D <sub>3</sub>	I/O	외부 데이터 버스 비트 3
	P4 <sub>3</sub>	I/O	범용 I/O 포트 4 비트 3



표 1.1 핀 설명 (계속)

핀	기호	방향	설명
22	VSS	-	전원 (GND)
23	D <sub>4</sub>	I/O	외부 데이터 버스 비트 4
	P4 <sub>4</sub>	I/O	범용 I/O 포트 4 비트 4
24	D <sub>5</sub>	I/O	외부 데이터 버스 비트 5
	P4 <sub>5</sub>	I/O	범용 I/O 포트 4 비트 5
25	D <sub>6</sub>	I/O	외부 데이터 버스 비트 6
	P4 <sub>6</sub>	I/O	범용 I/O 포트 4 비트 6
26	D <sub>7</sub>	I/O	외부 데이터 버스 비트 7
	P4 <sub>7</sub>	I/O	범용 I/O 포트 4 비트 7
27	D <sub>8</sub>	I/O	외부 데이터 버스 비트 8
	P3 <sub>0</sub>	I/O	범용 I/O 포트 3 비트 0
28	D <sub>9</sub>	I/O	외부 데이터 버스 비트 9
	P3 <sub>1</sub>	I/O	범용 I/O 포트 3 비트 1
29	D <sub>10</sub>	I/O	외부 데이터 버스 비트 10
	P3 <sub>2</sub>	I/O	범용 I/O 포트 3 비트 2
30	D <sub>11</sub>	I/O	외부 데이터 버스 비트 11
	P3 <sub>3</sub>	I/O	범용 I/O 포트 3 비트 3
31	D <sub>12</sub>	I/O	외부 데이터 버스 비트 12
	P3 <sub>4</sub>	I/O	범용 I/O 포트 3 비트 4
32	D <sub>13</sub>	I/O	외부 데이터 버스 비트 13
	P3 <sub>5</sub>	I/O	범용 I/O 포트 3 비트 5
33	D <sub>14</sub>	I/O	외부 데이터 버스 비트 14
	P3 <sub>6</sub>	I/O	범용 I/O 포트 3 비트 6
34	D <sub>15</sub>	I/O	외부 데이터 버스 비트 15
	P3 <sub>7</sub>	I/O	범용 I/O 포트 3 비트 7
35	VDD	-	전원 (3.3V)
36	A <sub>0</sub>	O	외부 어드레스 버스 비트 0
	P1 <sub>0</sub>	I/O	범용 I/O 포트 1 비트 0
37	A <sub>1</sub>	O	외부 어드레스 버스 비트 1
	P1 <sub>1</sub>	I/O	범용 I/O 포트 1 비트 1
38	A <sub>2</sub>	O	외부 어드레스 버스 비트 2
	P1 <sub>2</sub>	I/O	범용 I/O 포트 1 비트 2
39	A <sub>3</sub>	O	외부 어드레스 버스 비트 3
	P1 <sub>3</sub>	I/O	범용 I/O 포트 1 비트 3
40	A <sub>4</sub>	O	외부 어드레스 버스 비트 4
	P1 <sub>4</sub>	I/O	범용 I/O 포트 1 비트 4
41	A <sub>5</sub>	O	외부 어드레스 버스 비트 5
	P1 <sub>5</sub>	I/O	범용 I/O 포트 1 비트 5
42	A <sub>6</sub>	O	외부 어드레스 버스 비트 6
	P1 <sub>6</sub>	I/O	범용 I/O 포트 1 비트 6
43	A <sub>7</sub>	O	외부 어드레스 버스 비트 7
	P1 <sub>7</sub>	I/O	범용 I/O 포트 1 비트 7
44	VSS	-	전원 (GND)
45	A <sub>8</sub>	O	외부 어드레스 버스 비트 8
	P2 <sub>0</sub>	I/O	범용 I/O 포트 2 비트 0

표 1.1 핀 설명 (계속)

핀	기호	방향	설명
46	A <sub>9</sub>	O	외부 어드레스 버스 비트 9
	P2 <sub>1</sub>	I/O	범용 I/O 포트 2 비트 1
47	A <sub>10</sub>	O	외부 어드레스 버스 비트 10
	P2 <sub>2</sub>	I/O	범용 I/O 포트 2 비트 2
48	A <sub>11</sub>	O	외부 어드레스 버스 비트 11
	P2 <sub>3</sub>	I/O	범용 I/O 포트 2 비트 3
49	A <sub>12</sub>	O	외부 어드레스 버스 비트 12
	P2 <sub>4</sub>	I/O	범용 I/O 포트 2 비트 4
50	A <sub>13</sub>	O	외부 어드레스 버스 비트 13
	P2 <sub>5</sub>	I/O	범용 I/O 포트 2 비트 5
51	A <sub>14</sub>	O	외부 어드레스 버스 비트 14
	P2 <sub>6</sub>	I/O	범용 I/O 포트 2 비트 6
52	A <sub>15</sub>	O	외부 어드레스 버스 비트 15
	P2 <sub>7</sub>	I/O	범용 I/O 포트 2 비트 7
53	A <sub>16</sub>	O	외부 어드레스 버스 비트 16
	P5 <sub>0</sub>	I/O	범용 I/O 포트 5 비트 0
54	A <sub>17</sub>	O	외부 어드레스 버스 비트 17
	P5 <sub>1</sub>	I/O	범용 I/O 포트 5 비트 1
55	A <sub>18</sub>	I	외부 어드레스 버스 비트 18
	P5 <sub>2</sub>	I/O	범용 I/O 포트 5 비트 2
56	A <sub>19</sub>	O	외부 어드레스 버스 비트 19
	P5 <sub>3</sub>	I/O	범용 I/O 포트 5 비트 3
57	VSS	-	전원 (GND)
58	nWAIT	I	외부 버스 웨이트 입력
	P6 <sub>0</sub>	I/O	범용 I/O 포트 6 비트 0
59	nBREQ	I	외부 버스 Request
	P6 <sub>1</sub>	I/O	범용 I/O 포트 6 비트 1
60	nBACK	I	외부 버스 애크놀로지
	P6 <sub>2</sub>	I/O	범용 I/O 포트 6 비트 2
61	CLKO	O	버스 클럭 출력
	P6 <sub>7</sub>	I/O	범용 I/O 포트 6 비트 7
62	nSTBY	O	스탠바이 모드 신호, 파워 다운 모드 인디케이터
63	nRESET	I	외부 리셋
64	nTRST	I	JTAG 테스트 리셋 입력 (pull-down)
	P9 <sub>7</sub>	I/O	범용 I/O 포트 9 비트 7 (pull-down)
65	VSS	-	전원 (GND)
66	XTALOUT	O	수정 발진자 궤환 출력
67	XTALIN	I	수정 발진자 또는 외부 오실레이터 입력
68	VDD	-	전원 (3.3V)
69	nAS	O	외부 어드레스 버스 스트로브
	P6 <sub>3</sub>	I/O	범용 I/O 포트 6 비트 3
70	nRD	O	외부 버스 읽기
	P6 <sub>4</sub>	I/O	범용 I/O 포트 6 비트 4
71	nHWR	O	외부 상위 8 비트 데이터 버스 쓰기
	P6 <sub>5</sub>	I/O	범용 I/O 포트 6 비트 5

표 1.1 핀 설명 (계속)

핀	기호	방향	설명
72	nLWR	O	외부 하위 8 비트 데이터 버스 쓰기
	P6 <sub>6</sub>	I/O	범용 I/O 포트 6 비트 6
73	MODE <sub>0</sub>	I	모드 비트 0
74	MODE <sub>1</sub>	I	모드 비트 1
75	MODE <sub>2</sub>	I	모드 비트 2
76	AVDD	-	아나로그 전원 (3.3V)
77	AVREF	-	ADC 기준 전압
78	AN <sub>0</sub>	I	ADC 입력 채널 0
79	AN <sub>1</sub>	I	ADC 입력 채널 1
80	AN <sub>2</sub>	I	ADC 입력 채널 2
81	AN <sub>3</sub>	I	ADC 입력 채널 3
82	AN <sub>4</sub>	I	ADC 입력 채널 4
83	VSS	-	전원 (GND, 내부적으로 AVSS와 공통)
	TIOCA <sub>5</sub>	I/O	타이머 5 PWM 출력, 컴퍼 매치 GRA 출력 및 신호 캡처 입력
84	nIRQ <sub>6</sub>	I	외부 인터럽트 입력 6
	P7 <sub>6</sub>	I/O	범용 I/O 포트 7 비트 6
85	TIOCB <sub>5</sub>	I/O	타이머 5 PWM 출력, 컴퍼 매치 GRB 출력 및 신호 캡처 입력
	nIRQ <sub>7</sub>	I	외부 인터럽트 입력 7
86	P7 <sub>7</sub>	I/O	범용 I/O 포트 7 비트 7
	P7 <sub>5</sub>	I/O	범용 I/O 포트 7 비트 5
87	nIRQ <sub>0</sub>	I	외부 인터럽트 입력 0
	P8 <sub>0</sub>	I/O	범용 I/O 포트 8 비트 0
88	nCS <sub>3</sub>	O	외부 칩선택트 3
	nIRQ <sub>1</sub>	I	외부 인터럽트 입력 1
89	P8 <sub>1</sub>	I/O	범용 I/O 포트 8 비트 1
	nCS <sub>2</sub>	O	외부 칩선택트 2
90	nIRQ <sub>2</sub>	I	외부 인터럽트 2
	P8 <sub>2</sub>	I/O	범용 I/O 포트 8 비트 2
91	nCS <sub>1</sub>	O	외부 칩선택트 1
	nIRQ <sub>3</sub>	I	외부 인터럽트 3
92	P8 <sub>3</sub>	I/O	범용 I/O 포트 8 비트 3
	nCS <sub>0</sub>	O	외부 칩선택트 0
93	P8 <sub>4</sub>	I/O	범용 I/O 포트 8 비트 4
	VSS	-	전원 (GND)
94	TCLKA	I	외부 타이머 클럭 입력 A
	PA <sub>0</sub>	I/O	범용 I/O 포트 A 비트 0
95	TCLKB	I	외부 타이머 클럭 입력 B
	PA <sub>1</sub>	I/O	범용 I/O 포트 A 비트 1
96	TCLKC	I	외부 타이머 클럭 입력 C
	TIOCA <sub>0</sub>	I/O	타이머 0 PWM 출력, 컴퍼 매치 GRA 출력 및 신호 캡처 입력
97	PA <sub>2</sub>	I/O	범용 I/O 포트 A 비트 2
	TCLKD	I	외부 타이머 클럭 입력 D
98	TIOCB <sub>0</sub>	I/O	타이머 0 PWM 출력, 컴퍼 매치 GRB 출력 및 신호 캡처 입력
	PA <sub>3</sub>	I/O	범용 I/O 포트 A 비트 3

표 1.1 핀 설명 (계속)

핀	기호	방향	설명
97	A <sub>23</sub>	O	외부 어드레스 버스 비트 23
	TIOCA <sub>1</sub>	I/O	타이머 1 PWM 출력, 컴페어 매치 GRA 출력 및 신호 캡처 입력
	PA <sub>4</sub>	I/O	범용 I/O 포트 A 비트 4
98	A <sub>22</sub>	O	외부 어드레스 버스 비트 22
	TIOCB <sub>1</sub>	I/O	타이머 1 PWM 출력, 컴페어 매치 GRB 출력 및 신호 캡처 입력
	PA <sub>5</sub>	I/O	범용 I/O 포트 A 비트 5
99	A <sub>21</sub>	O	외부 어드레스 버스 비트 21
	TIOCA <sub>2</sub>	I/O	타이머 2 PWM 출력, 컴페어 매치 GRA 출력 및 신호 캡처 입력
	PA <sub>6</sub>	I/O	범용 I/O 포트 A 비트 6
100	A <sub>20</sub>	O	외부 어드레스 버스 비트 20
	TIOCB <sub>2</sub>	I/O	타이머 2 PWM 출력, 컴페어 매치 GRB 출력 및 신호 캡처 입력
	PA <sub>7</sub>	I/O	범용 I/O 포트 A 비트 7

#### 1.4 동작 모드

HMS39C7092 는 플래시 메모리가 내장된 ARM MCU 입니다. 이 MCU 는 표 1.2 에서와 같이 네 종류의 동작 모드를 갖고 있습니다. HMS39C7092 외부 핀 기능은 외부 모드 신호를 설정하거나 PIN MUX 레지스터의 값을 재구성함으로써 변경되어 집니다. 모드에 의한 핀 할당이 표 1.3에 나타나 있습니다. 모드를 변경에 따라 메모리의 구성이 바뀌어 집니다. 그림 1.3 은 디폴트 메모리 맵을 보여 주며, 각 모드별 메모리 맵은 그림 1.4, 그림 1.5 그리고 그림 1.6에서 보여 줍니다. 동작 모드 정의는 다음과 같습니다.

표 1.2 HMS39C7092 동작 모드

모드	모드 설명
0,1	테스트용 예약
2	PROM 모드
2	외부 8 비트 데이터버스 (16M 바이트 영역)
3	외부 16 비트 데이터버스 (16M 바이트 영역)
4	플래시 부트 모드 (외부 16 비트 데이터 버스)
5	플래시 부트 모드 (싱글칩 모드)
6	UART 부트 모드 (외부 16 비트 데이터 버스)
7	UART 부트 모드 (싱글칩 모드)

표 1.3 모드별 핀 할당

핀 번호	모드 2 외부 8 비트 버스	모드 3 외부 16 비트 버스	모드 4 플래시부트 모드 16 비트 버스	모드 6 UART 부트 모드 16 비트 버스	모드 5 플래시부트 모드 (싱글칩 모드)	모드 7 UART 부트 모드 (싱글칩 모드)
1	VDD	←	←	←	←	←
2	nCS7	←	←	←	TIOCA3	←
3	nCS6	←	←	←	TIOCB3	←
4	nCS5	←	←	←	TIOCA4	←
5	nCS4	←	←	←	TIOCB4	←
6	TMS	←	←	←	←	←
7	TDO	←	←	←	←	←
8	TDI	←	←	←	←	←
9	TCK	←	←	←	←	←
10	TVPPD	←	←	←	←	←
11	VSS	←	←	←	←	←
12	TxD0	←	←	←	←	←
13	RxD0	←	←	←	←	←
14	TxD1	←	←	←	←	←
15	RxD1	←	←	←	←	←
16	nIRQ4	←	←	←	←	←
17	nIRQ5	←	←	←	←	←
18	D0	←	←	←	P40	←
19	D1	←	←	←	P41	←
20	D2	←	←	←	P42	←
21	D3	←	←	←	P43	←
22	VSS	←	←	←	←	←
23	D4	←	←	←	P44	←
24	D5	←	←	←	P45	←
25	D6	←	←	←	P46	←
26	D7	←	←	←	P47	←
27	P30	D8	←	←	P30	←
28	P31	D9	←	←	P31	←
29	P32	D10	←	←	P32	←
30	P33	D11	←	←	P33	←
31	P34	D12	←	←	P34	←
32	P35	D13	←	←	P35	←
33	P36	D14	←	←	P36	←
34	P37	D15	←	←	P37	←
35	VDD	←	←	←	←	←
36	A0	←	←	←	P10	←
37	A1	←	←	←	P11	←
38	A2	←	←	←	P12	←
39	A3	←	←	←	P13	←
40	A4	←	←	←	P14	←

표 1.3 모드별 핀 할당 (계속)

핀 번호	모드 2 외부 8 비트 버스	모드 3 외부 16 비트 버스	모드 4 플래시부트 모드 16 비트 버스	모드 6 UART 부트 모드 16 비트 버스	모드 5 플래시부트 모드 (싱글칩 모드)	모드 7 UART 부트 모드 (싱글칩 모드)
41	A5	←	←	←	P15	←
42	A6	←	←	←	P16	←
43	A7	←	←	←	P17	←
44	VSS	←	←	←	←	←
45	A8	←	←	←	P20	←
46	A9	←	←	←	P21	←
47	A10	←	←	←	P22	←
48	A11	←	←	←	P23	←
49	A12	←	←	←	P24	←
50	A13	←	←	←	P25	←
51	A14	←	←	←	P26	←
52	A15	←	←	←	P27	←
53	A16	←	←	←	P50	←
54	A17	←	←	←	P51	←
55	A18	←	←	←	P52	←
56	A19	←	←	←	P53	←
57	VSS	←	←	←	←	←
58	nWAIT	←	←	←	P60	←
59	nBREQ	←	←	←	P61	←
60	nBACK	←	←	←	P62	←
61	CLKO	←	←	←	P67	←
62	nSTBY	←	←	←	nSTBY	←
63	nRES	←	←	←	nRES	←
64	nTRST	←	←	←	nTRST	←
65	VSS	←	←	←	←	←
66	XTALOUT	←	←	←	←	←
67	XTALIN	←	←	←	←	←
68	VDD	←	←	←	←	←
69	nAS	←	←	←	P63	←
70	nRD	←	←	←	P64	←
71	nHWR	←	←	←	P65	←
72	nLWR	←	←	←	P66	←
73	MODE0	←	←	←	←	←
73	MODE1	←	←	←	←	←
75	MODE2	←	←	←	←	←
76	AVDD	←	←	←	←	←
77	AVREF	←	←	←	←	←
78	AN0	←	←	←	←	←
79	AN1	←	←	←	←	←
80	AN2	←	←	←	←	←

표 1.3 모드별 핀 할당 (계속)

핀 번호	모드 2 외부 8 비트 버스	모드 3 외부 16 비트 버스	모드 4 플래시부트 모드 16 비트 버스	모드 6 UART 부트 모드 16 비트 버스	모드 5 플래시부트 모드 (싱글칩 모드)	모드 7 UART 부트 모드 (싱글칩 모드)
81	AN3	←	←	←	←	←
82	AN4	←	←	←	←	←
83	VSS	←	←	←	←	←
84	TIOCA5	←	←	←	←	←
85	TIOCB5	←	←	←	←	←
86	P75	←	←	←	←	←
87	nIRQ0	←	←	←	←	←
88	nCS3	←	←	←	P81	←
89	nCS2	←	←	←	P82	←
90	nCS1	←	←	←	P83	←
91	nCS0	←	←	←	P84	←
92	VSS	←	←	←	←	←
93	TCLKA	←	←	←	←	←
94	TCLKB	←	←	←	←	←
95	TCLKC	←	←	←	←	←
96	TCLKD	←	←	←	←	←
97	A23	←	←	TIOCA1	←	←
98	A22	←	←	TIOCB1	←	←
99	A21	←	←	TIOCA2	←	←
100	A20	←	←	TIOCB2	←	←



## 1.5 메모리 맵

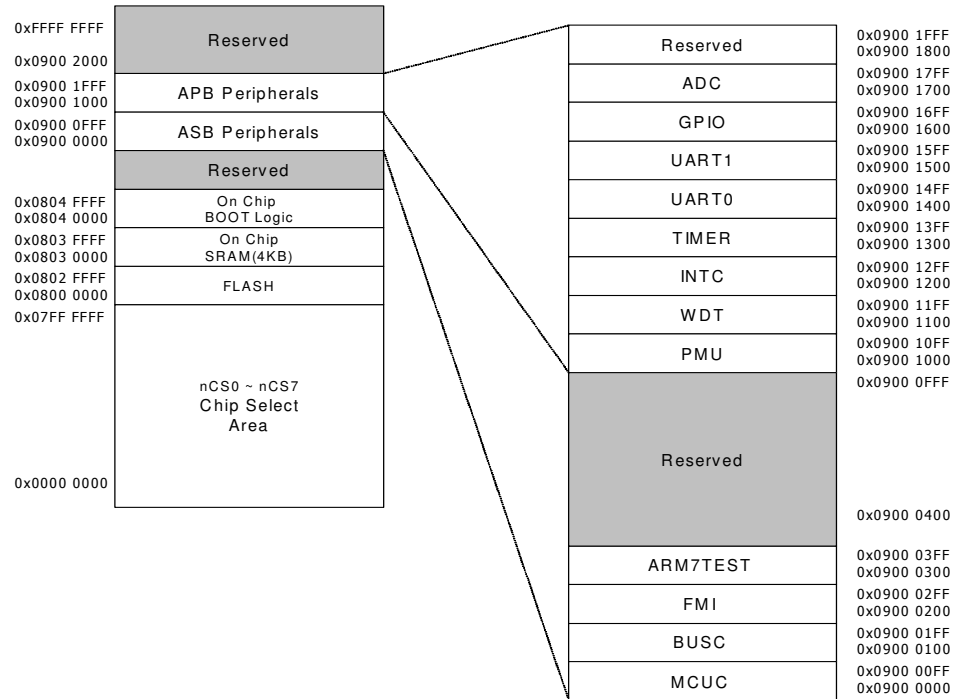


그림 1.3 HMS39C7092 메모리 맵

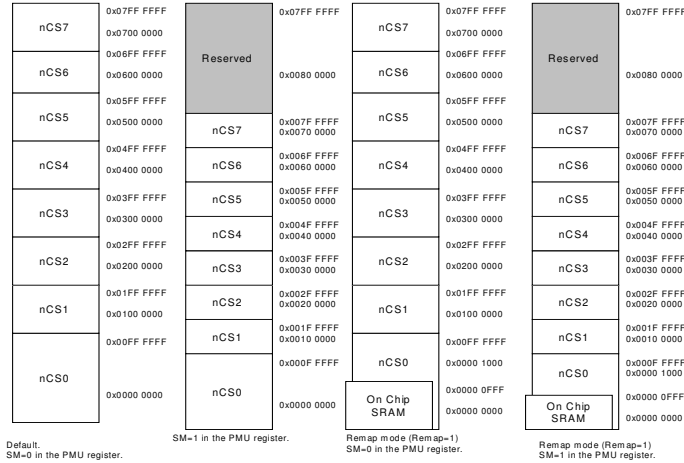


그림 1.4 모드 2,3 의 메모리 맵

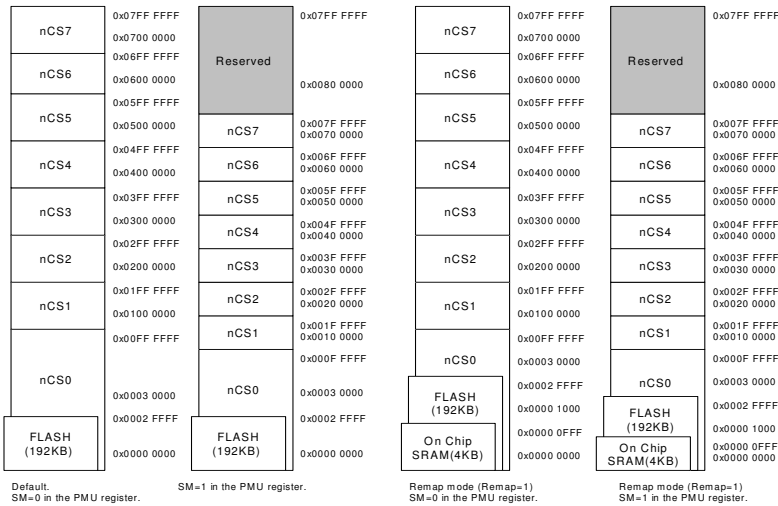


그림 1.5 모드 4 와 모드 5 의 메모리 맵

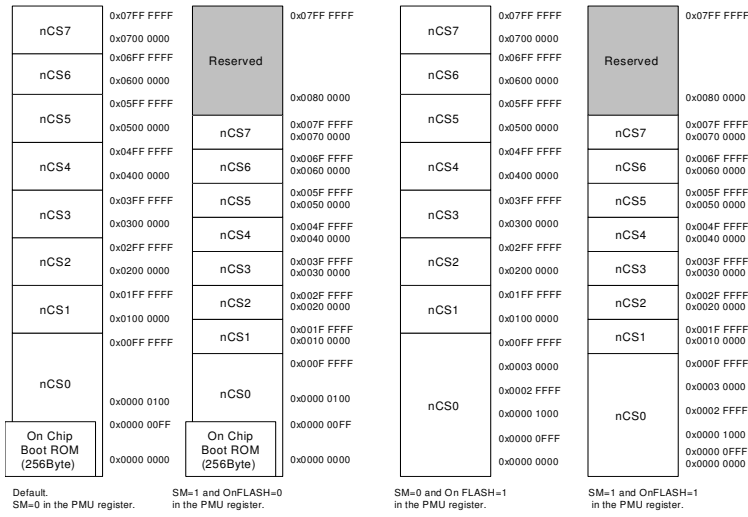


그림 1.6 모드 6의 메모리 맵

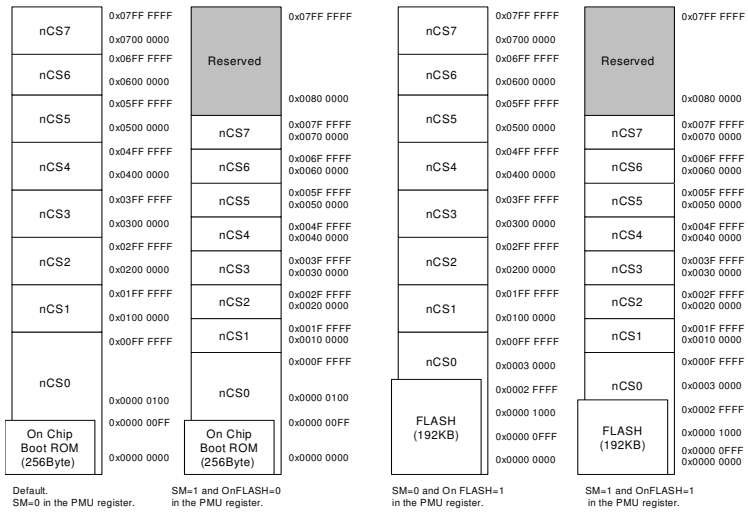


그림 1.6 모드 7의 메모리 맵



제2장

**ARM7TDMI 코어**

## 2.1 개요

ARM7TDMI 는 범용 32 비트 CPU 로, 저전력과 낮은 가격에 비해 고성능의 CPU 입니다. 이 CPU 는 THUMB 이라는 아키텍처를 채용하여 메모리가 제약되어 있거나 코드 길이가 한정된 응용에 적합합니다.

ARM7TDMI 는 32 비트 표준 ARM 명령어 셋과 16 비트 THUMB 명령어 셋의 두 개의 명령어 셋을 가지고 있습니다. 이 THUMB 명령어 셋에 의한 코드 길이는 32 비트 표준 명령어 셋으로 구성된 코드 길이의 최대 1/2 이며, 전형적인 16 비트 레지스터를 사용하는 16 비트 프로세서에 비해 ARM 의 고성능을 그대로 보유하고 있는데, 이는 THUMB 코드가 ARM 코드로서 같은 32 비트 레지스터로 동작하기 때문입니다.

자세한 ARM7TDMI 에 대한 자세한 설명은 데이터 시트(ARM DDI 0029E)를 참조하십시오.

## 2.2 특징

- 32 비트 RISC 아키텍처
- 저전력 소모
- ARM7TDMI 및 주변 블록;
  - On-chip ICEbreaker 디버그 지원
  - 32 비트 x 8 하드웨어 승산기
  - Thumb 명령어 디코더
- ARM7TDMI 임베디드 프로세서 사용
  - 고성능 32 비트 RISC 아키텍처
  - 고밀도 16 비트 명령어 셋 (THUMB 코드)
- 안정적인 동작: 0 ~ 50MHz
- 3 단계 파이프라인 아키텍처 (Fetch, decode, and execution stage)
- 향상된 ARM 소프트웨어 개발 환경

THUMB 코드는 ARM 코드에 비해 약 35% 정도의 절약 효과가 있으며, 외부에 16 비트 메모리 구성 시 약 60% 정도의 성능 향상이 있습니다.

## 2.3 코어 블록도

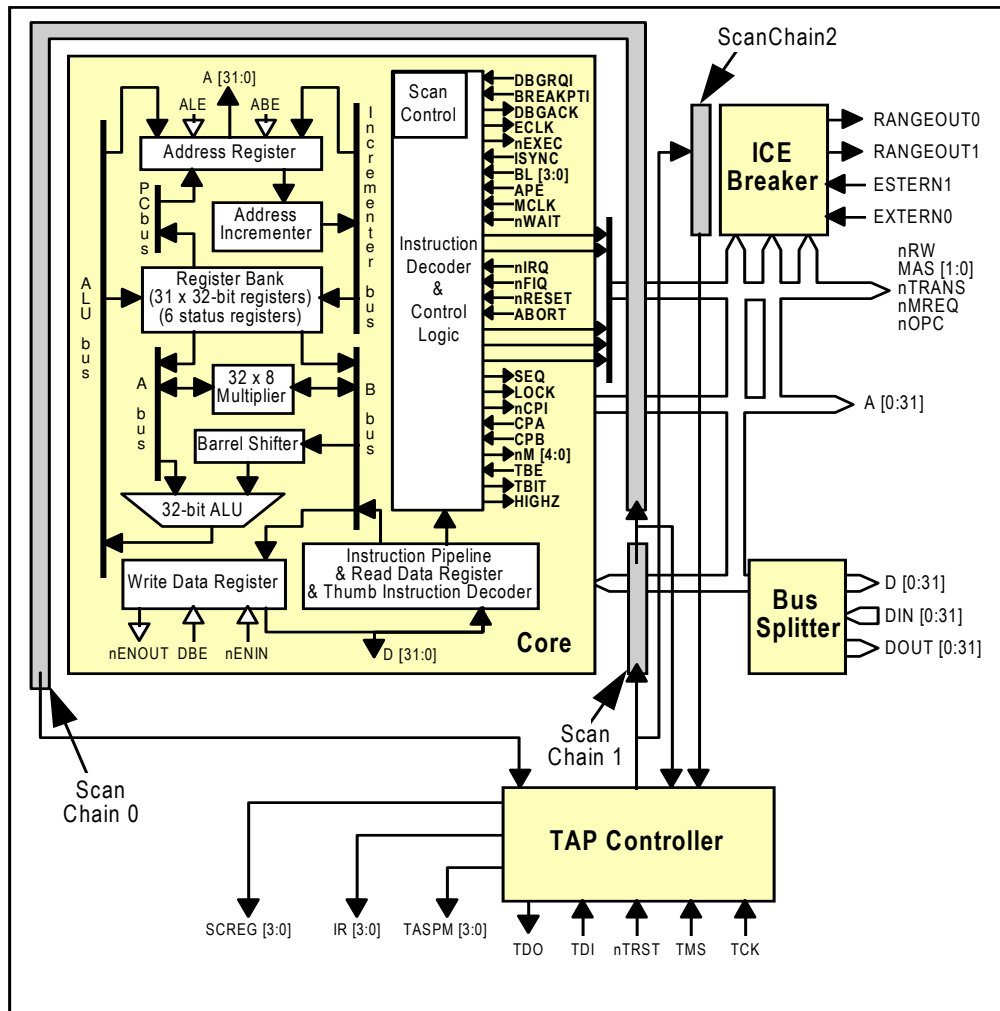


그림 2.1 ARM7TDMI 코어 블록도

2.4 명령어 셋

2.4.1 ARM 명령어

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Cond	0	0	1						Opcode	S	Rn	Rd	Operand															<i>Data Processing / PSR Transfer</i>			
Cond	0	0	0	0	0	0	0	A	S		Rd	Rn	Rs	1	0	0	1	Rm									<i>Multiply</i>				
Cond	0	0	0	0	1	U	A	S		RdHi	RdLo	Rn	1	0	0	1	Rm									<i>Multiply Long</i>					
Cond	0	0	0	1	0	B	0	0		Rn	Rd	0	0	0	0	1	0	0	1	Rm								<i>Single Data Swap</i>			
Cond	0	0	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	1	0	0	0	1	Rn						<i>Branch and Exchange</i>		
Cond	0	0	0	P	U	0	W	L		Rn	Rd	0	0	0	0	1	S	H	1	Rm								<i>Halfword Data Transfer: Register offset</i>			
Cond	0	0	0	P	U	1	W	L		Rn	Rd	Offset	1	S	H	1	Offset										<i>Halfword Data Transfer: immediate offset</i>				
Cond	0	1	1	P	U	B	W	L		Rn	Rd	Offset															<i>Single Data Transfer</i>				
Cond	0	1	1																1						<i>Undefined</i>						
Cond	1	0	0	P	U	S	W	L		Rn	Register List																<i>Block Data Transfer</i>				
Cond	1	0	1	L	Offset																<i>Branch</i>										
Cond	1	1	0	P	U	N	W	L		Rn	CRd	CP#	Offset										<i>Coprocessor Data Transfer</i>								
Cond	1	1	1	0	CP	Opc				CRn	CRd	CP#	CP	0			CRm									<i>Coprocessor Data Operation</i>					
Cond	1	1	1	0	CP	Opc	L			CRn	Rd	CP#	CP	1			CRm									<i>Coprocessor Data Transfer</i>					
Cond	1	1	1	1	Ignored by processor																<i>Software Interrupt</i>										
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

그림 2.2 ARM 명령어 집합 형태



표 2.1 ARM 명령어 셋 일람

Mnemonic	Instruction	Action
<b>ADC</b>	Add with carry	$Rd := Rn + Op2 + Carry$
<b>ADD</b>	Add	$Rd := Rn + Op2$
<b>AND</b>	AND	$Rd := Rn \text{ AND } Op2$
<b>B</b>	Branch	$R15 := \text{Address}$
<b>BIC</b>	Bit Clear	$Rd := Rn \text{ AND NOT } Op2$
<b>BL</b>	Branch with Link	$R14 := R15, R15 := \text{Address}$
<b>BX</b>	Branch and Exchange	$R15 := Rn, T \text{ Bit} := Rn[0]$
<b>CDP</b>	Coprocessor Data Processing	(Coprocessor-specific)
<b>CMN</b>	Compare Negative	$CPSR \text{ flags} := Rn + Op2$
<b>CMP</b>	Compare	$CPSR \text{ flags} := Rn - Op2$
<b>EOR</b>	Exclusive OR	$Rd := (Rn \text{ AND NOT } Op2) \text{ OR } (Op2 \text{ AND NOT } Rn)$
<b>LDC</b>	Load coprocessor from memory	Coprocessor load
<b>LDM</b>	Load multiple Registers	Stack manipulation (Pop)
<b>LDR</b>	Load Register from memory	$Rd := (\text{Address})$
<b>MCR</b>	Move CPU Register to coprocessor Register	$cRn := rRn \{<op>cRm\}$
<b>MLA</b>	Multiply Accumulate	$Rd := (Rm * Rs) + Rn$
<b>MOV</b>	Move Register or constant	$Rd := Op2$
<b>MRC</b>	Move from coprocessor Register to CPU Register	$Rn := cRn \{<op>cRm\}$
<b>MRS</b>	Move PSR Status/flags to Register	$Rn := PSR$
<b>MSR</b>	Move Register to PSR Status/flags	$PSR := Rm$
<b>MUL</b>	Multiply	$Rd := Rm * Rs$
<b>MVN</b>	Move negative Register	$Rd := 0xFFFFFFFF \text{ EOR } Op2$
<b>ORR</b>	OR	$Rd := Rn \text{ OR } Op2$
<b>RSB</b>	Reverse Subtract	$Rd := Op2 - Rn$
<b>RSC</b>	Reverse Subtract with Carry	$Rd := Op2 - Rn - 1 + Carry$
<b>SBC</b>	Subtract with Carry	$Rd := Rn - Op2 - 1 + Carry$
<b>STC</b>	Store coprocessor Register to memory	$\text{Address} := CRn$
<b>STM</b>	Store Multiple	Stack manipulation (Push)
<b>STR</b>	Store Register to memory	$< \text{Address} > := Rd$
<b>SUB</b>	Subtract	$Rd := Rn - Op2$
<b>SWI</b>	Software Interrupt	OS call
<b>SWP</b>	Swap Register with memory	$Rd := [Rn], [Rn] := Rm$
<b>TEQ</b>	Test Bitwise equality	$CPSR \text{ flags} := Rn \text{ EOR } Op2$
<b>TST</b>	Test Bits	$CPSR \text{ flags} := Rn \text{ AND } Op2$

**ARM 상태 범용 레지스터와 프로그램 카운터**

System & User	FIQ	Supervisor	Abort	IRQ	Undefined
R0	R0	R0	R0	R0	R0
R1	R1	R1	R1	R1	R1
R2	R2	R2	R2	R2	R2
R3	R3	R3	R3	R3	R3
R4	R4	R4	R4	R4	R4
R5	R5	R5	R5	R5	R5
R6	R6	R6	R6	R6	R6
R7	R7	R7	R7	R7	R7
R8	△ R8_fiq	R8	R8	R8	R8
R9	△ R9_fiq	R9	R9	R9	R9
R10	△ R10_fiq	R10	R10	R10	R10
R11	△ R11_fiq	R11	R11	R11	R11
R12	△ R12_fiq	R12	R12	R12	R12
R13	△ R13_fiq	△ R13_svc	△ R13_abt	△ R13_irq	△ R13_und
R14	△ R14_fiq	△ R14_svc	△ R14_abt	△ R14_irq	△ R14_und
R15 (PC)	R15 (PC)	R15 (PC)	R15 (PC)	R15 (PC)	R15 (PC)

**ARM 상태 프로그램 스테이터스 레지스터**

CPSR	△ CPSR △ SPSR_fiq	△ CPSR △ SPSR_svc	△ CPSR △ SPSR_abt	△ CPSR △ SPSR_irq	△ CPSR △ SPSR_und
------	----------------------	----------------------	----------------------	----------------------	----------------------

△ = banked register

그림 2.3 ARM 상태에서의 레지스터 구성

## 2.4.2 THUMB 명령어

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
1	0	0	0			Offset5					Rs						Rd	<i>Move shifted Register</i>
2	0	0	0	1	1	I	Op	Rn/offset3					Rs				Rd	<i>Add/subtract</i>
3	0	0	1		Op		Rd				Offset8							<i>Move/compare/add/subtract immediate</i>
4	0	1	0	0	0	0	Op					Rs					Rd	<i>ALU operation</i>
5	0	1	0	0	0	1	Op	H1	H2		Rs/Hs						Rd/Hd	<i>Hi register operations/branch exchange</i>
6	0	1	0	0	1		Rd				word8							<i>PC-relative load</i>
7	0	1	0	1	L	B	0		Ro			Rb					Rd	<i>Load/store with Register Offset</i>
8	0	1	0	1	H	S	1		Ro			Rb					Rd	<i>Load/store sign-extended Byte/Halfword</i>
9	0	1	1	B	L		Offset5					Rb					Rd	<i>Load/store with immediate</i>
10	1	0	0	0	L		Offset5					Rb					Rd	<i>Load/store Halfword</i>
11	1	0	0	1	L		Rd				word8							<i>SP-relative load/store</i>
12	1	0	1	0	SP		Rd				word8							<i>Load Address</i>
13	1	0	1	1	0	0	0	0	S		Sword7							<i>Add offset to stack pointer</i>
14	1	0	1	1	L	1	0	R		Rlist								<i>Push/pop Registers</i>
15	1	1	0	0	L		Rb				Rlist							<i>Multiple load/store</i>
16	1	1	0	1		Cond				Soffset8								<i>Conditional branch</i>
17	1	1	0	1	1	1	1	1		Value8								<i>Software Interrupt</i>
18	1	1	1	0	0		Offset11											<i>Unconditional branch</i>
19	1	1	1	1	H		Offset11											<i>Long branch with link</i>

그림 2.4 THUMB 명령어 셋 포맷

표 2.2 THUMB 명령어 셋 일람

Mnemonic	Instruction	Lo reg. oper.	Hi reg. oper	Condition code set
ADC	Add with Carry	V		V
ADD	Add	V	V	V
AND	AND	V		V
ASR	Arithmetic Shift Right	V		V
B	Unconditional branch	V		
B xx	Conditional branch	V		
BIC	Bit Clear	V		V
BL	Branch and Link			
BX	Branch and Exchange	V		V
CMN	Compare Negative	V		V
CMP	Compare	V	V	V
EOR	EOR	V		V
LDMIA	Load multiple	V		
LDR	Load Word	V		
LDRB	Load Byte	V		
LDRH	Load Halfword	V		
LSL	Logical Shift Left	V		V
LDSB	Load sign-extended Byte	V		
LDSH	Load sign-extended Halfword	V		
LSR	Logical Shift Right	V		V
MOV	Move Register	V	V	V
MUL	Multiply	V		V
MVN	Move Negative Register	V		V
NEG	Negate	V		V
ORR	OR	V		V
POP	Pop Registers	V		
PUSH	Push Registers	V		
ROR	Rotate Right	V		V
SBC	Subtract with Carry	V		V
STMIA	Store Multiple	V		
STR	Store Word	V		
STRB	Store Byte	V		
STRH	Store Halfword	V		
SWI	Software Interrupt			
SUB	Subtract	V		V
TST	Test Bits	V		V



그림 2.5 THUMB 상태에서의 레지스터 구성

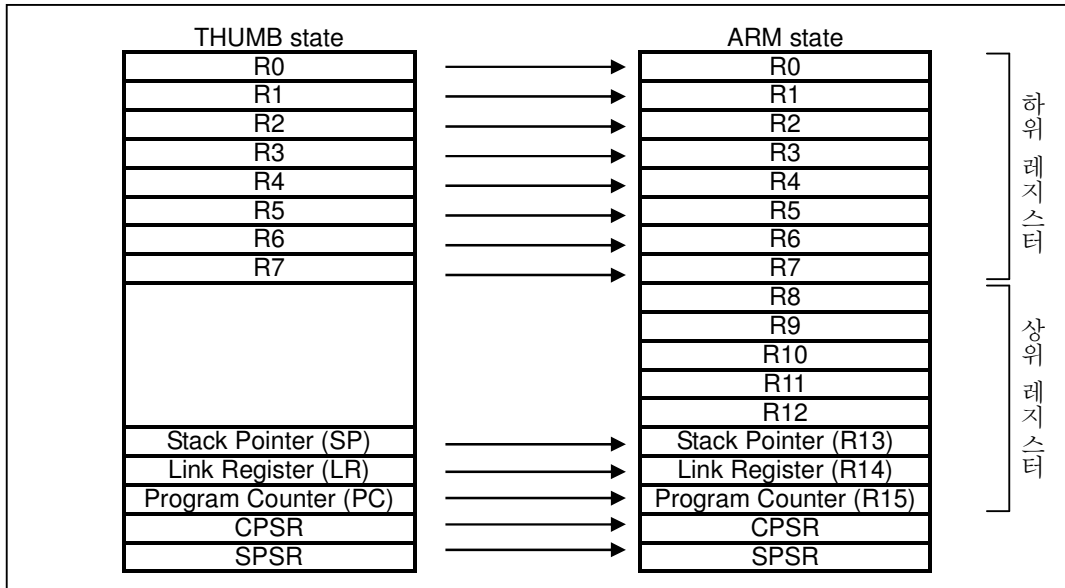


그림 2.6 THUMB 상태에서 ARM 상태로의 레지스터 변환

표 2.3 조건 코드 요약

Code	Suffix	Flags	Meaning
0000	EQ	Z	set equal
0001	NE	Z	Clear not equal
0010	CS	C	set unsigned higher or same
0011	CC	C	Clear unsigned lower
0100	MI	N	set negative
0101	PL	N	Clear positive or zero
0110	VS	V	set overflow
0111	VC	V	Clear no overflow
1000	HI	C	set and Z Clear unsigned higher
1001	LS	C	Clear or Z set unsigned lower or same
1010	GE	N	equals V greater or equal
1011	LT	N	not equal to V less than
1100	GT	Z	Clear AND (N equals V) greater than
1101	LE	Z	set OR (N not equal to V) less than or equal
1110	AL	(Ignored)	always

2.4.3 프로그램 스테이터스 레지스터

ARM7TDMI 는 현재 프로그램 스테이터스 레지스터(CPSR)와 예외 처리를 위한 5 개의 저장용 프로그램 스테이터스 레지스터(SPSR)를 가지고 있습니다. 이 레지스터들은 최근의 ALU 연산의 결과 및 인터럽트 마스크와 동작 모드에 대한 정보를 가지고 있습니다.

프로그램 스테이터스 레지스터의 구성은 표 2.7 프로그램 스테이터스 레지스터 포맷에 나타나 있습니다.

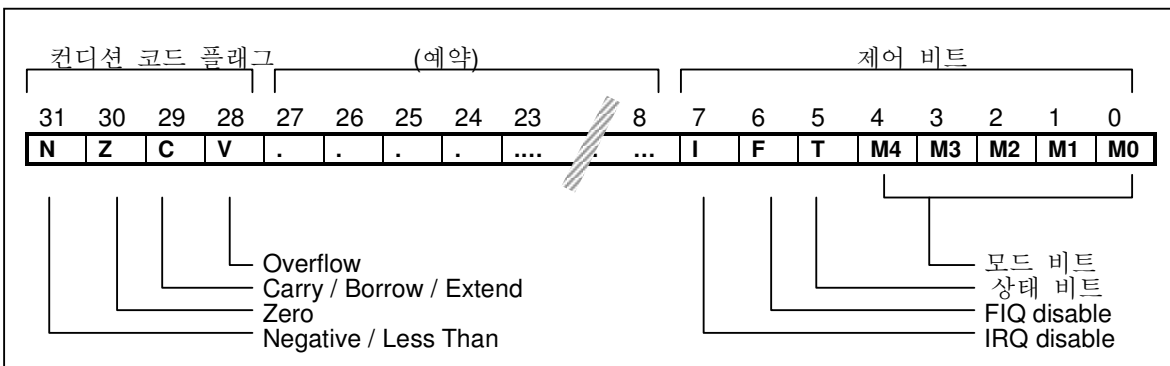


그림 2.7 프로그램 스테이터스 레지스터 포맷

### 2.4.3.1 조건 코드 플래그

**N,Z,C** 및 **V** 비트는 조건 코드 플래그입니다. 이 비트들은 산술 및 논리 연산 동작의 결과에 따라 변하며, 현재의 명령어를 실행할 지 안할 지를 결정하는 비트 역할도 합니다.

ARM 상태에서는 모든 명령어들이 조건 실행을 합니다. 관련 내용은 **2.4.2 절의 표 2.3**에 나타나 있습니다.

THUMB 상태에서는 분기 명령(Branch)만 조건부 실행을 지원 합니다.

### 2.4.3.2 제어 비트

PSR 의 하위 8 비트(I,F,T 및 M[4:0])는 모두 제어 비트라고 합니다. 이 비트들은 예외처리가 발생하였을 때 바뀝니다. 만약 프로세서가 특권 모드(privileged mode)일 경우, 이 값은 소프트웨어적으로 변경 가능합니다.

#### T 비트

이 비트는 동작 상태를 나타냅니다. 이 비트가 '1'의 경우 프로세서는 THUMB 상태에서 실행되고 있음을 나타내면 '0'의 경우는 ARM 상태를 나타냅니다.

CPSR 의 T 비트는 소프트웨어적으로 변경되어서는 안됩니다. 만약 임의로 변경 시에는 동작을 예측할 수 없습니다.

#### 인터럽트 디세이블 비트

I 및 F 비트는 인터럽트 디세이블 비트입니다. 만약 이 비트가 '1'일 경우 해당 IRQ 또는 FIQ 는 디세이블 됩니다.

#### 모드 비트

**M4, M3, M2, M1** 및 **M0** 비트(M[4:0])는 모드 비트입니다. 이 비트들은 표 2.4 와 같이 프로세서의 동작 모드를 나타냅니다.

이 비트에 대한 모든 값들이 모드로 할당 되어 있는 것이 아니며, 표 2.4 에 표기 된 모드에 사용되어 집니다. 사용자는 모드 비트 M[4:0]의 값이 정상적인 값인 지 확인해야 합니다. 정해진 값 이외의 다른 값으로 설정될 경우 프로세서는 복구 불능의 상태가 되며 리셋으로만 복구되어 집니다.

#### 예약 비트

PSR 의 나머지 비트들은 예약된 비트입니다. PSR 의 플래그나 제어비트를 변경할 때에는 이 사용하지 않는 비트가 변경되지 않도록 주의하여주시오. 또한 프로그램에서 이 비트에 특정 값을 저장하지 않도록 하여주시오. 차후 프로세서들은 '0' 또는 '1'로 읽힐 것입니다.

표 2.4 PSR 모드 비트 값

M[4:0]	모드	THUMB 상태 레지스터	ARM 상태 레지스터
10000	User	R7..R0, LR, SP, PC, CPSR	R14..R0, PC, CPSR
10001	FIQ	R7..R0, LR_fiq, SP_fiq, PC, CPSR, SPSR_fiq	R7..R0, R14_fiq...R8_fiq, PC, CPSR, SPSR_fiq
10010	IRQ	R7..R0, LR_irq, SP_irq, PC, CPSR, SPSR_irq	R12..R0, R14_irq, R13_irq, PC, CPSR, SPSR_irq
10011	Supervisor	R7..R0, LR_svc, SP_svc, PC, CPSR, SPSR_svc	R12..R0, R14_svc, R13_svc, PC, CPSR, SPSR_svc
10111	Abort	R7..R0, LR_abt, SP_abt, PC, CPSR, SPSR_abt	R12..R0, R14_abt, R13_abt, PC, CPSR, SPSR_abt
11011	Undefined	R7..R0, LR_und, SP_und, PC, CPSR, SPSR_und	R12..R0, R14_und, R13_und, PC, CPSR
11111	System	R7..R0, LR, SP, PC, CPSR	R14..R0, PC, CPSR



**2.4.4 ARM 명령어**

ARM7TDMI 데이터 북(ARM DDI 0029E)을 참조 바랍니다.



제3장  
버스 컨트롤러

3.1 개요

HMS39C7092 에는 8 개로 나뉘어진 외부 메모리 어드레스 영역을 제어하는 버스 컨트롤러가 있으며, 각 메모리 영역에는 SRAM, ROM, 플래시 메모리, 외부 주변 장치 등이 붙을 수 있습니다. 버스 폭이나 액세스 웨이트 수 등의 설정은 각 영역마다 독립적으로 설정될 수 있어서 다수의 메모리를 쉽게 확장할 수 있습니다.

3.1.1 특징

아래에 버스컨트롤러의 특징이 나열되어있습니다.

- 각 메모리 영역에 대해 8 비트 또는 16 비트 액세스 개별 선택 가능.
- 메모리 영역 0~7 에 대해 로우 액티브 선택 신호 출력( $nCS_0 \sim nCS_7$ )
- 리틀-엔디안 메모리 포맷 지원
- 프로그램으로 추가할 수 있는 웨이트의 수는 16 까지 가변
- $nWAIT$  신호를 이용하여 비동기적으로 버스 웨이트 삽입 가능
- 각 메모리 영역은 16MB 의 크기를 가집니다.

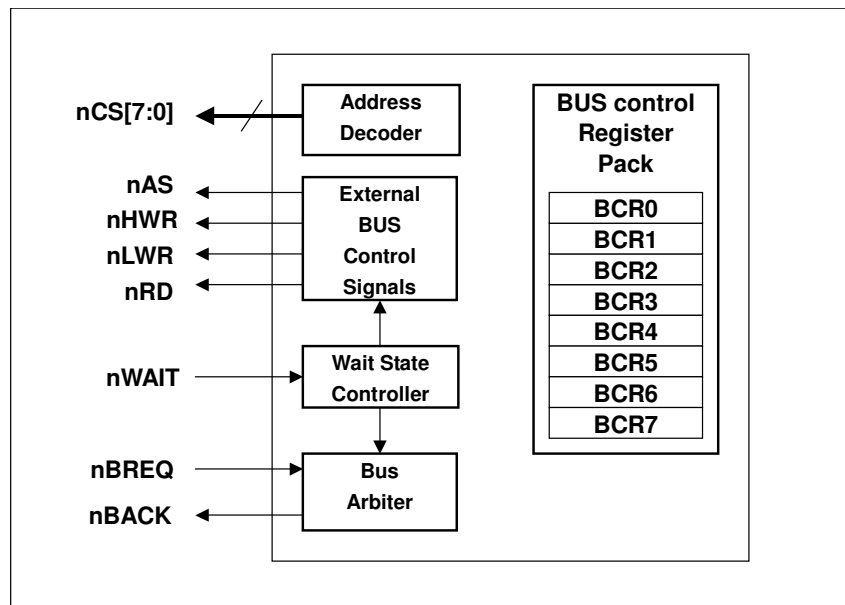


그림 3.1 버스 컨트롤러 블록도

## 3.1.2 핀 구성

표 3.1 은 버스 컨트롤러의 입·출력 핀을 나타냅니다.

표 3.1 버스 컨트롤러의 입·출력 핀

핀 명칭	I/O	설 명
nCS <sub>n</sub>	O	외부 메모리 영역 0~7 을 선택하는 신호
nAS	O	어드레스 버스에 실린 값이 유효한 값을 나타내는 신호
nRD	O	외부 메모리 영역에서 값을 읽고 있음을 나타내는 신호
nHWR	O	외부 메모리 영역에 값을 쓰고 있음을 나타내는 신호. 데이터 버스의 상위 바이트(D <sub>15</sub> to D <sub>8</sub> )에 유효한 데이터가 실려있음.
nLWR	O	외부 메모리 영역에 값을 쓰고 있음을 나타내는 신호. 데이터 버스의 하위 바이트(D <sub>7</sub> to D <sub>0</sub> )에 유효한 데이터가 실려있음.
nWAIT	I	외부 웨이트 입력 신호

3.2 버스 컨트롤러 레지스터들

버스 컨트롤러 내부 레지스터의 기준 어드레스는 **0x0900\_0100**. 각각의 버스 설정 레지스터들은(BCR0~7) 선택된 메모리 영역(nCS0~nCS7.)을 나타냅니다.

표 3.2 버스 컨트롤러의 레지스터 메모리 맵

레지스터명.	I/O Offset	Dir.	설 명	초기값
<b>BCR0</b>	0x0100	R/W	메모리 선택 영역 0(nCS0)버스 설정 레지스터	0x000F*
<b>BCR1</b>	0x0104	R/W	메모리 선택 영역 1(nCS1) 버스 설정 레지스터	0x0000
<b>BCR2</b>	0x0108	R/W	메모리 선택 영역 2(nCS2) 버스 설정 레지스터	0x0000
<b>BCR3</b>	0x010C	R/W	메모리 선택 영역 3(nCS3) 버스 설정 레지스터	0x0000
<b>BCR4</b>	0x0110	R/W	메모리 선택 영역 4(nCS4) 버스 설정 레지스터	0x0000
<b>BCR5</b>	0x0114	R/W	메모리 선택 영역 5(nCS5) 버스 설정 레지스터	0x0000
<b>BCR6</b>	0x0118	R/W	메모리 선택 영역 6(nCS6) 버스 설정 레지스터	0x0000
<b>BCR7</b>	0x011C	R/W	메모리 선택 영역 7(nCS7) 버스 설정 레지스터	0x0000

Notes : 1) 모드 2 에서, BCRn 의 초기값은 0x10F 입니다.  
 2) 나머지 모드에서, BCRn 의 초기값은 0x000 입니다.

## 3.2.1 버스 설정 레지스터

BCR0~7(버스 설정 레지스터) 는 16 비트의 읽고 쓰기가 가능한 레지스터입니다.

## BCR0~7 버스 설정 레지스터 (0x0900\_0100 to 0x0900\_011C R/W)

	B15 - b9	B9	b8	b7	B6	B5	b4	b3	b2	b1	b0
<b>BCRn</b>	Reserved	ExtWaitEn	MemWidth	Reserved	Reserved			MemWait			
Reset	0000000	0	1	0	0	0	0	1	1	1	1

초기값 : 0x010F (BCR0 at 모드 2)  
 0x000F (BCR0 at 모드 3)  
 0x0000 (BCR1~7)

**ExtWaitEn** 외부 핀에 의한 웨이트의 활성화

- 0 : 외부 웨이트 불가
- 1 : 외부 웨이트 가능

**MemWidth** 외부 버스의 폭을 결정. 이 필드가 '1'이면 MCU 는 8 비트 외부 버스와 연결되고, 이 비트가 '0'이면 16 비트 외부 버스와 연결됩니다.

- 0 : 16-비트 외부 버스
- 1 : 8-비트 외부 버스

**MemWait** 메모리를 읽고 쓸 때 웨이트 수를 설정합니다. MemWait 가 0 이고 쓰기 동작을 할 때 MemWait 는 2 웨이트로 조정되고, 그 외의 경우 실제 웨이트 값은 MemWait 보다 1 큰 값이 됩니다.

- 0000 : 1 wait state
- 0001 : 2 wait state
- 0010 : 3 wait state
- 0011 : 4 wait state
- 0100 : 5 wait state
- 0101 : 6 wait state
- 0110 : 7 wait state
- 0111 : 8 wait state
- 1000 : 9 wait state
- 1001 : 10 wait state
- 1010 : 11 wait state
- 1011 : 12 wait state
- 1100 : 13 wait state
- 1101 : 14 wait state
- 1110 : 15 wait state
- 1111 : 16 wait state

3.3 버스 컨트롤러의 동작

3.3.1 메모리 영역

외부 어드레스 공간은 영역 0 에서 7 까지 나뉘어지며, 각 영역은 16 M 바이트의 크기를 가집니다. **그림 3.2** 는 메모리 맵을 보여 줍니다.

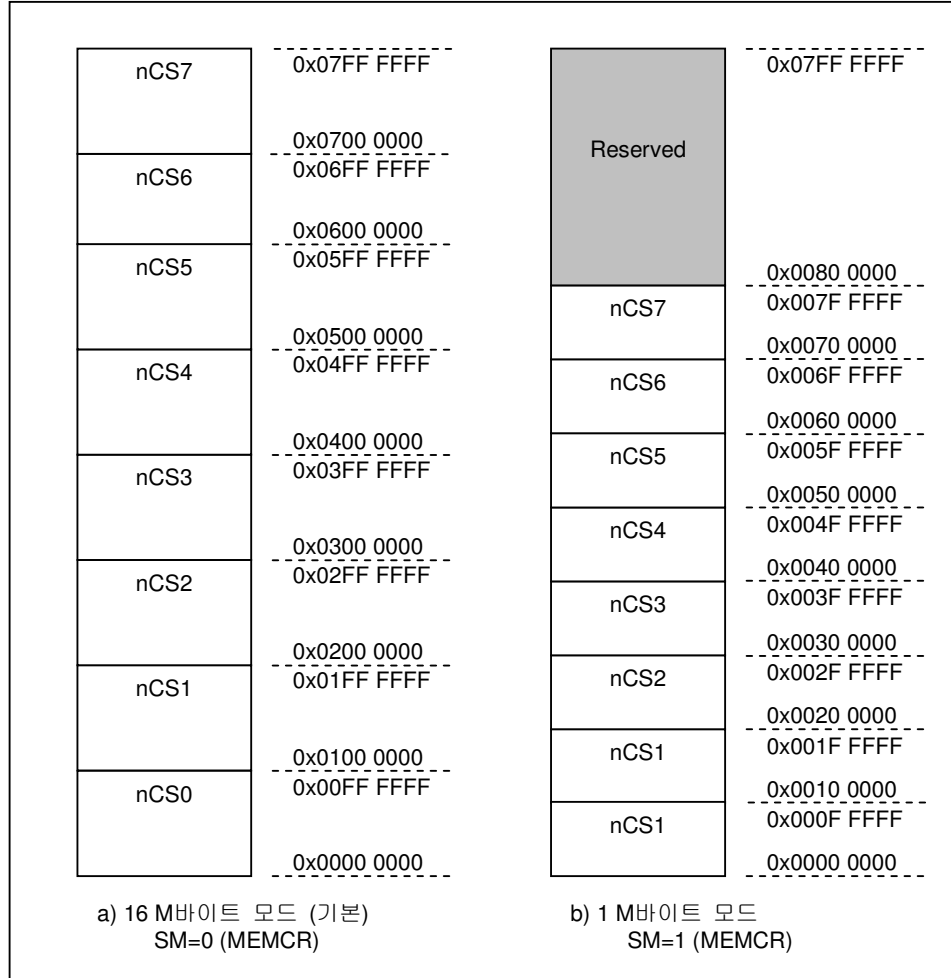


그림 3.2 외부 공간 메모리 맵

칩셀렉트 신호는 영역 0 에서 7 을 선택하는 출력 신호입니다. 각 영역에 대한 버스 설정은 **BCRn(BCR0 ~ BCR7)**에서 선택됩니다.



### 3.3.2 메모리 영역 설정

외부 메모리 영역에 대한 버스 규격은 (1) 버스 폭 (2) 웨이트 수로 구성됩니다. 단, 온칩 메모리에 대한 버스 폭과 웨이트 수는 고정되어 있으며 버스 컨트롤러에 영향을 받지 않습니다.

**버스폭:** BCR $n$ 의 MemWidth의 값에 따라 8 비트 또는 16 비트 버스 폭이 선택될 수 있습니다. 8 비트 버스로 선택되면 외부영역은 8 비트 액세스 공간으로 동작하며 16 비트 버스로 선택되면 외부영역은 16 비트 액세스 공간으로 동작합니다.

**웨이트 수:** BCR $n$ 의 MemWait의 값에 따라 최고 16 까지 내부 웨이트 값을 설정할 수 있습니다.

### 3.3.3 칩셀렉트 신호

MCU는 해당 메모리 영역이 선택되었을 때 'L' 레벨이 되는 칩셀렉트 신호(nCS<sub>0</sub> to nCS<sub>7</sub>)를 출력합니다. **그림 3.5**에서 **그림 3.12**는 nCS<sub>0~7</sub> 신호의 출력 타이밍을 보여줍니다.

**nCS<sub>0</sub> ~ nCS<sub>7</sub> 출력 :** nCS<sub>0</sub>에서 nCS<sub>7</sub>의 사용은 상응하는 포트의 MUX 레지스터의 값에 따라 활성화 또는 비 활성화됩니다.

3.4 기본적인 버스 인터페이스

3.4.1 개요

HMS39C7092 는 ROM, SRAM, 외부 주변장치 등을 직접 연결할 수 있는 기본 인터페이스만을 제공합니다.

3.4.2 바이트 단위 쓰기 제어

ARM 코어 또는 다른 내부 버스마스터가 처리하는 데이터 크기는 바이트(8 비트), 하프워드(하프워드:16 비트) 또는 워드(워드:32 비트)입니다. 버스 컨트롤러는 외부 메모리를 액세스할 때 현재 액세스 되는 메모리 영역의 버스 규격과 데이터 크기에 따라 상위(D<sub>15</sub> to D<sub>8</sub>) 혹은 하위(D<sub>7</sub> to D<sub>0</sub>) 데이터 버스를 사용할 지를 결정합니다.

**8 비트 액세스 영역:** 그림 3.3 은 8 비트 액세스 시에 데이터의 정렬모습을 보여줍니다. 8 비트 액세스 시에는 하위 데이터버스(D<sub>7</sub> to D<sub>0</sub>)가 사용됩니다. 한 번에 액세스할 수 있는 데이터의 양은 1 바이트이며 하프워드 액세스는 2 바이트 액세스로 워드 액세스는 4 바이트 액세스로 수행됩니다.

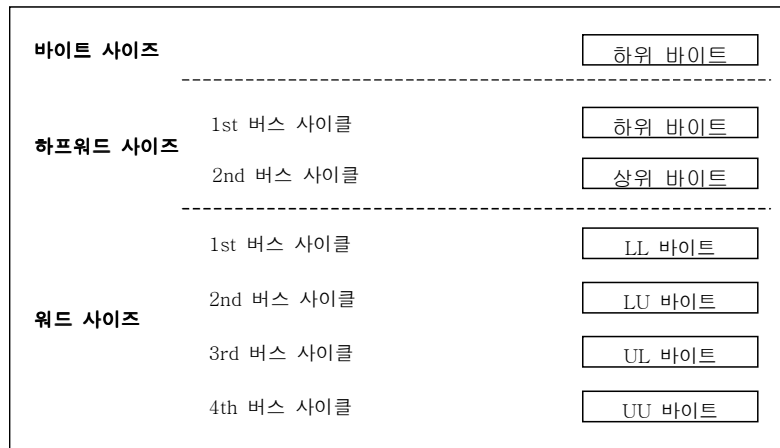


그림 3.3 8 비트 액세스 시의 데이터 크기 및 정렬

**16 비트 액세스 영역:** 그림 3.4 은 16 비트 액세스 영역에 대한 데이터의 정렬 상태를 나타냅니다. 16 비트 액세스 영역에 대해서는 하위 데이터 버스(D<sub>7</sub> to D<sub>0</sub>) 와 상위 데이터 버스(D<sub>15</sub> to D<sub>8</sub>) 가 모두 사용됩니다. 한 번에 액세스할 수 있는 데이터의 양은 1 바이트 또는 1 하프워드이며 워드 액세스는 2 번의 하프워드 액세스 로 수행됩니다.

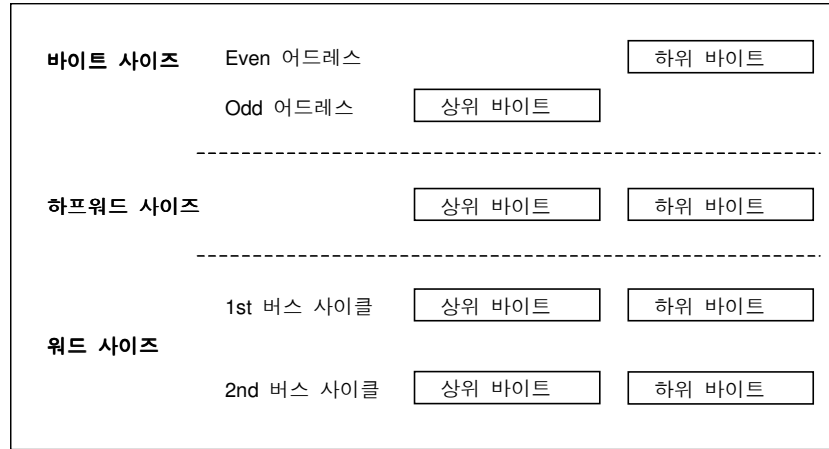


그림 3.4 16 비트 액세스 시의 데이터 크기 및 정렬

nHWR, nLWR 신호는 A0, 액세스 순서, 외부 메모리 폭, 데이터 전송폭 등에 의해 만들어집니다. 아래 테이블은 16 비트 외부 메모리일 경우의 예를 보여줍니다.

표 3.3 A0 에 따른 nHWR, nLWR 상태 (16 비트 버스 설정의 경우)

CPU 액세스 크기	A0	nHWR	nLWR	액세스 횟수
워드 (32 비트)	X	L	L	2
하프워드 (16 비트)	X	L	L	1
바이트 (8 비트)	0	H	L	1
바이트 (8 비트)	1	L	H	1

3.4.3 기본적인 버스 컨트롤 신호 타이밍

그림 3.5 는 외부 16 비트 메모리이고 웨이트 값을 2 로 설정했을 때, 쓰기 시의 버스 제어신호 타이밍을 나타내었습니다. (워드 액세스의 예). 그림 3.6 은 같은 메모리 조건에서 워드 액세스일 경우 읽기 타이밍을 보여줍니다. 이 경우 BCR 의 MemWait 값은 '1'입니다.

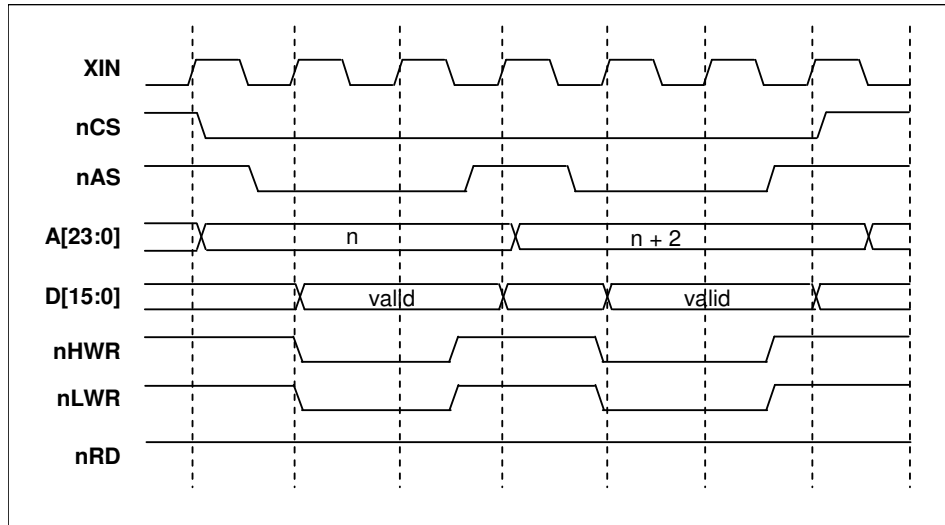


그림 3.5 16 비트 2 웨이트로 설정되었을 때의 쓰기 타이밍 (워드 액세스)

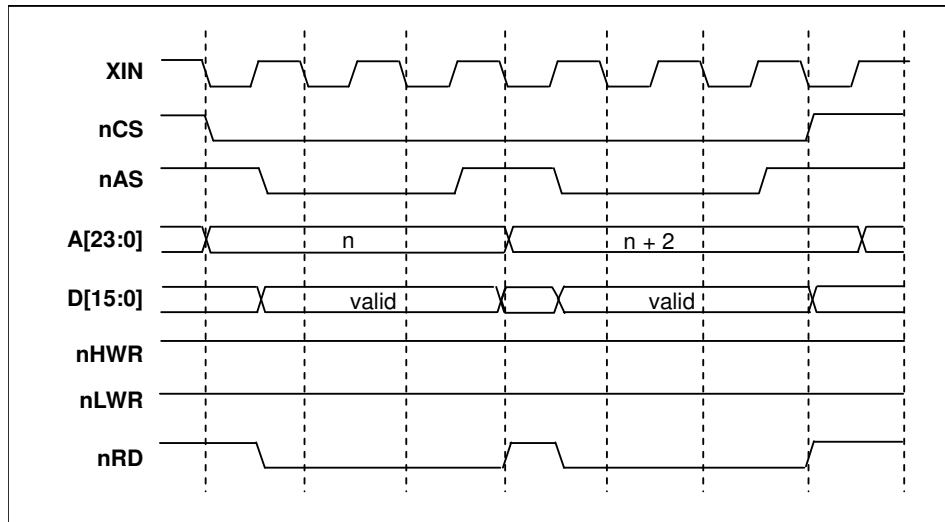


그림 3.6 16 비트 2 웨이트로 설정되었을 때의 읽기 타이밍 (워드 액세스)

그림 3.7 은 16 비트 2 웨이트 메모리에서 하프워드 액세스 시의 쓰기 타이밍을 보여주며 그림 3.8 은 위와 같은 조건에서의 읽기 타이밍을 보여줍니다.

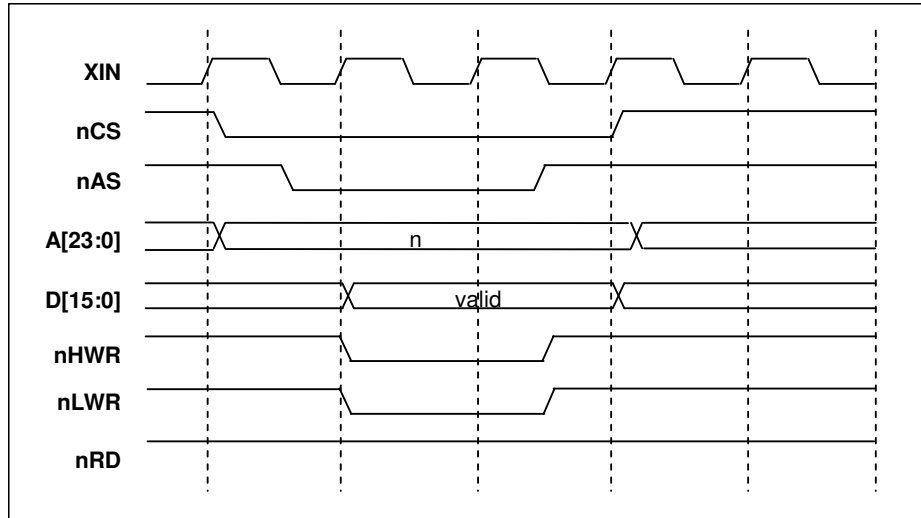


그림 3.7 16 비트 2 웨이트로 설정 시 쓰기 타이밍 (하프워드 액세스)

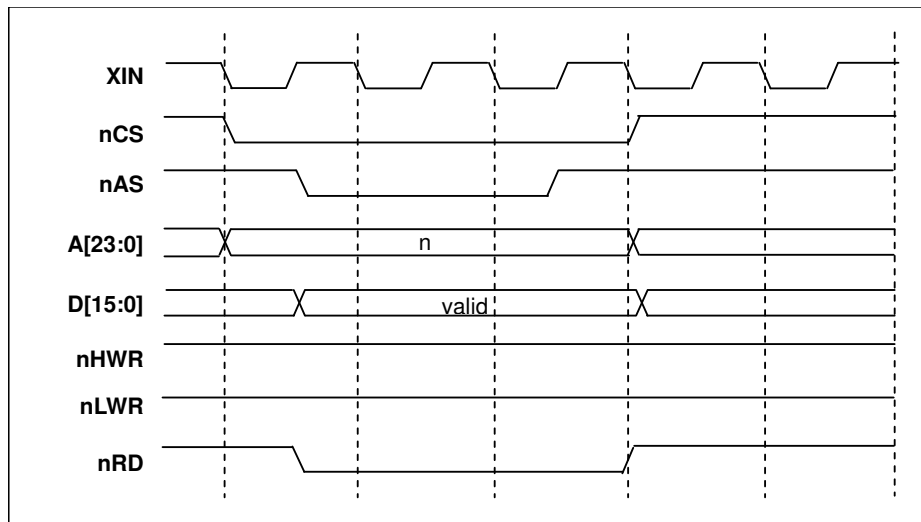


그림 3.8 16 비트 2 웨이트로 설정 시 읽기 타이밍 (하프워드 액세스)

마찬가지로 **그림 3.9** 는 16 비트 2 웨이트 메모리에서 바이트 액세스 시의 쓰기 타이밍을 보여주며 **그림 3.10** 은 같은 조건에서의 읽기 타이밍을 보여줍니다.

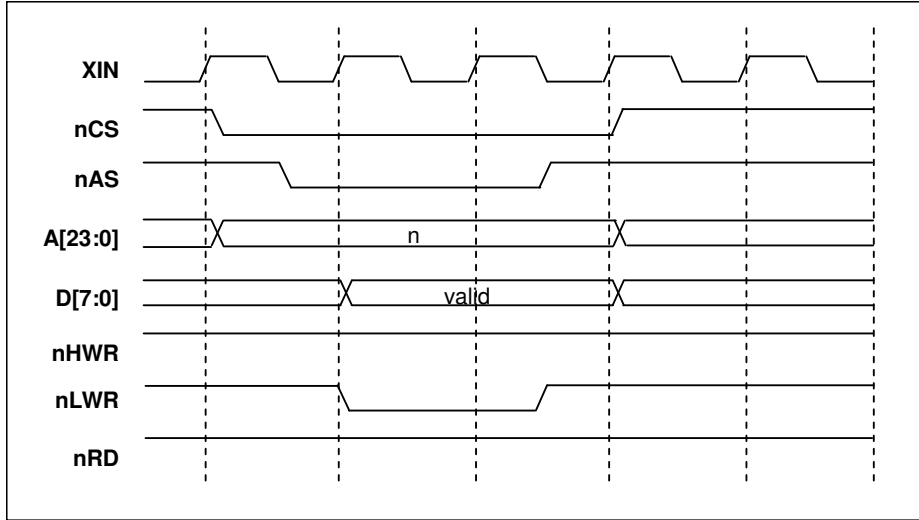


그림 3.9 16 비트 2 웨이트로 설정 시 쓰기 타이밍 (바이트 액세스)

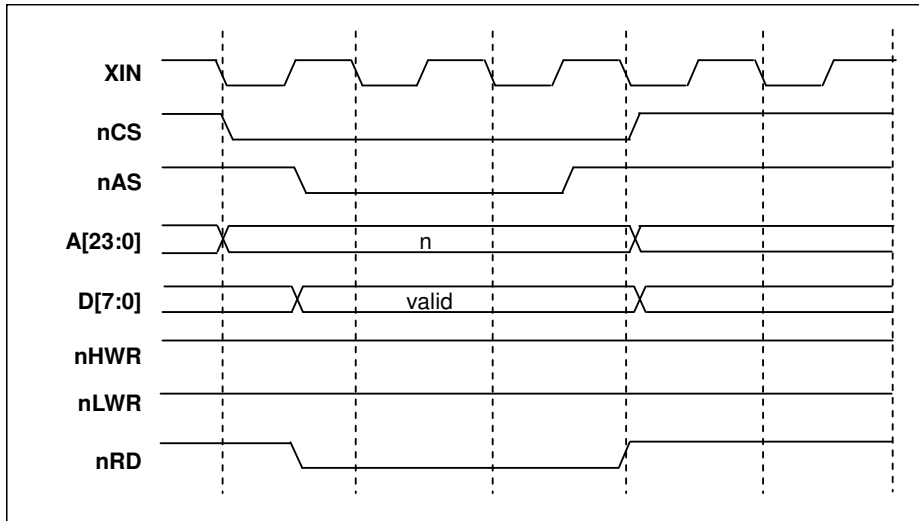


그림 3.10 16 비트 2 웨이트로 설정 시 읽기 타이밍 (바이트 액세스)

### 3.4.4 웨이트 컨트롤

HMS39C7092 는 외부 메모리 영역 액세스 시에 웨이트 스테이트( $T_w$ )를 추가함으로써 버스 사이클을 연장할 수 있습니다. 웨이트 상태는 (1) 프로그래머블 웨이트 삽입과 (2) **nWAIT** 핀을 이용하여 추가될 수 있습니다.

**프로그래머블 웨이트 삽입: BCR0~7 의 MemWait 필드의 값에 따라** 각 메모리 영역에 1 에서 16 웨이트 스테이트가 자동적으로 **T2** 스테이트와 **T3** 스테이트 사이에 삽입될 수 있습니다.

**nWAIT 에 의한 삽입:** 외부 영역을 액세스할 때에는 우선 프로그래머블 웨이트 값이 먼저 추가되고 **nWAIT** 의 상태에 따라 핀 웨이트가 삽입됩니다. 아래 그림에서 **nWAIT** 핀이 **T2** 의 마지막 이나  **$T_w$**  스테이트에서 **XIN** 의 하강 에지에 **nWAIT** 핀이 'L'로 검출되면  **$T_w$**  스테이트가 삽입됩니다. 만일 **nWAIT** 핀이 계속 'L'로 유지된다면 핀이 'H'가 될 때까지  **$T_w$**  스테이트가 추가됩니다. 주의할 점은 **nWAIT** 신호를 인가할 경우에는 웨이트가 필요한 시점까지 'L'상태로 유지하여야 합니다.

**RDYON** 비트의 설정 값은 각 칩선택 영역에 독립적으로 적용됩니다.

그림 3.11 은 외부 핀 웨이트가 활성화되었을 때의 타이밍을 나타냅니다.

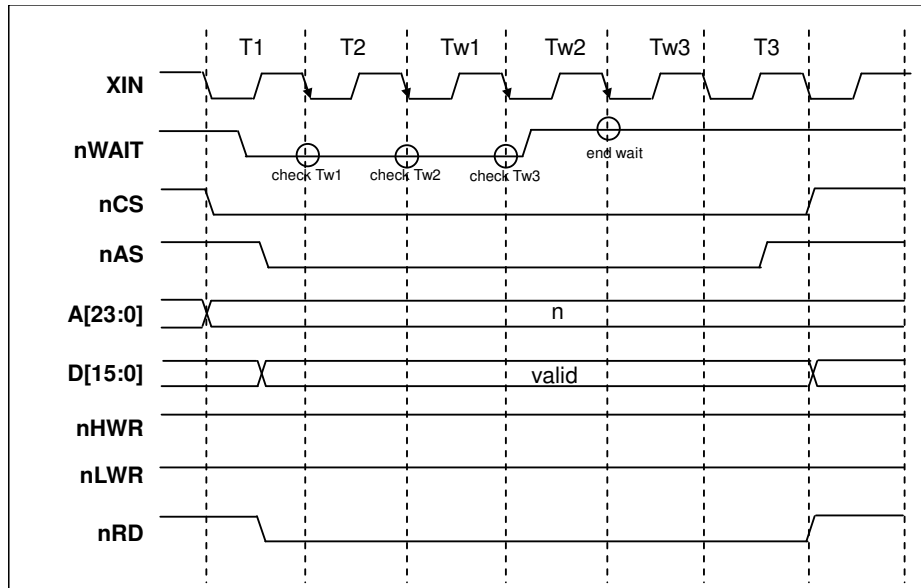


그림 3.11 웨이트 삽입의 예

3.4.5 버스 아비터

버스 컨트롤러에는 서로 다른 버스 마스터의 버스 권한을 중재하기 위한 버스 아비터를 가지고 있습니다. CPU 또는 외부 버스 마스터에게 마스터 권한을 줄 수 있습니다. 하나의 버스 마스터가 버스 권한을 가지게 되면, 그 버스 마스터는 버스에 대한 읽기 쓰기 동작을 수행할 수 있습니다. 각 버스 마스터는 버스 권한을 요청하기 위한 요청신호를 사용합니다. 버스 아비터가 우선권을 결정하여 다음 버스 마스터에게 버스 액세스를 넘겨주는 순간 그 버스 마스터는 버스를 사용하여 동작하게 됩니다.

버스 아비터는 버스 마스터로부터의 버스 요청 신호가 활성화되었는지를 확인하여 버스에 액세스를 넘겨주어 줍니다. 만일 두 개 이상의 버스마스터가 버스를 요청할 경우, 높은 우선권의 버스 마스터가 액세스를 받아서 액세스 신호가 비활성화될 때까지 계속해서 버스 권한을 갖게 됩니다.

버스 마스터의 우선권은 다음과 같습니다.

**(상위 우선권) 외부 버스 마스터 > ARM CPU (하위 우선권)**

버스 아비터는 항상 버스 요청 신호를 샘플링하여 우선권을 결정합니다. 그러나 현재의 버스 마스터보다 높은 우선권의 버스 마스터로부터 버스 요청을 받더라도 항상 즉시 버스 권한을 넘겨주지는 않습니다. 각 버스 마스터는 버스 마스터가 높은 우선권의 버스 마스터에게 넘겨줄 수 있는 시간이 있습니다.

**ARM CPU:** ARM CPU 는 낮은 우선도 버스 마스터입니다. 만일 CPU 가 버스 권한을 가지고 있을 때 외부 버스 마스터가 버스를 요청하면 버스 아비터는 버스 권한을 요청한 버스 마스터에게 넘겨 줍니다. 버스 권한은 다음과 같은 수순으로 이양됩니다:

- 버스 권한은 버스 사이클의 마지막 부분에서 이양됩니다. 만일 워드 데이터가 연속적인 두 바이트로 액세스 된다면, 버스 권한은 두 바이트 액세스 중간에는 넘겨지지 않습니다.
- 만일 다른 버스 마스터가 CPU 가 내부 동작을 수행중일 때 버스 권한을 요청한다면 - 예를 들어 곱셈이나 나눗셈 등의 명령어 - 버스 권한은 즉시 이양됩니다. CPU 는 내부 동작을 계속 합니다.
- 만일 다른 버스 마스터가 CPU 가 파워다운 모드일 때 버스 권한을 요청하면 버스 권한은 즉시 이양됩니다.

**외부 버스 마스터:** HMS39C7092 는 항상 외부 버스 마스터에게 버스 권한을 넘겨 줄 수 있습니다. 외부 버스 마스터는 가장 높은 우선권을 가지고 있으며, **nBREQ** 신호를 활성화시킴으로써 버스 권한을 요청할 수 있습니다. 한번 외부 버스 마스터가 버스 권한을 얻게 되면 **nBREQ** 신호가 비활성화될 때까지 버스 권한을 유지합니다. 외부 버스 마스터에게 버스 권한이 있는 상태에서는 HMS39C7092 는 외부 어드레스 버스, 데이터 버스, 버스 컨트롤 신호(**nAS**, **nRD**, **nHWR** 및 **nLWR**), 칩선택 신호 등을 홀드하며, **nBACK** 핀을 활성출력 하게 됩니다.

버스 아비터는 **nBREQ** 핀을 시스템 클럭(**XIN**)의 상승에서 샘플링합니다. 만일 **nBREQ** 가 활성화되면, 버스 권한은 적절한 시기에 외부 버스 마스터에게 이양됩니다. **nBREQ** 신호는 **nBACK** 신호가 활성화될 때까지 'L' 레벨상태로 있어야 합니다.

**nBREQ** 핀이 연속적인 두번의 샘플 동안 'H' 레벨일 경우 **nBACK** 신호는 버스 릴리스 사이클의 마지막까지 'H' 레벨로 유지됩니다.



그림 3.18 은 1 웨이트 읽기 사이클 동안 외부 버스 마스터로부터의 버스 요청이 있을 때의 타이밍을 보여 줍니다. 버스가 이양될 때까지 **nBREQ** 신호가 'L' 레벨로 바뀔 때부터 최소 3 스테이트가 소요됩니다.

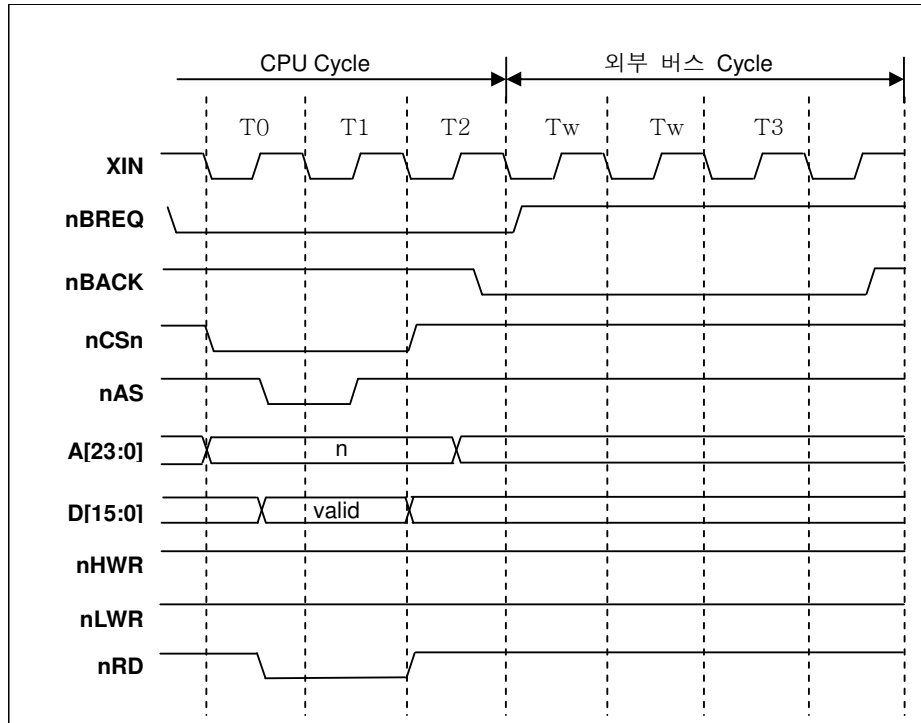


그림 3.18 외부 버스 마스터 동작의 예



제4장

## MCU 컨트롤러

4.1 개요

MCU 컨트롤러 (MCUC)는 11개의 다기능 핀 설정(PINMUX) 레지스터와 장치 코드 레지스터(Device Code Register)로 구성되어 있습니다.

4.2 핀 기능 설명

표 4.1 는 핀의 기능을 나타내고 있습니다.

표 4.1 다기능 핀에 대한 설명

NAME	Port No.	Multiplexed functions	NAME	Port No.	Multiplexed functions	
Port A	PA0	TCLKA	Port 4	P40	D0	
	PA1	TCLKB		P41	D1	
	PA2	TCLKC, TIOCA0		P42	D2	
	PA3	TCLKD, TIOCB0		P43	D3	
	PA4	A23, TIOCA1		P44	D4	
	PA5	A22, TIOCB1		P45	D5	
	PA6	A21, TIOCA2		P46	D6	
Port B	PB0	nCS7, TIOCA3	Port 5	P50	A16	
	PB1	nCS6, TIOCB3		P51	A17	
	PB2	nCS5, TUICA4		P52	A18	
	PB3	nCS4, TIOCB4		P53	A19	
	PB4	TMS		Port 6	P60	nWAIT
	PB5	TDO			P61	nBREQ
	PB6	TDI			P62	nBACK
Port 1	P10	A0	Port 7	P63	nAS	
	P11	A1		P64	nRD	
	P12	A2		P65	nHWR	
	P13	A3		P66	nLWR	
	P14	A4		P67	CLKO	
	P15	A5		<del>P70</del>	AN0	
	P16	A6		<del>P71</del>	AN1	
Port 2	P20	A8	Port 8	<del>P72</del>	AN2	
	P21	A9		<del>P73</del>	AN3	
	P22	A10		<del>P74</del>	AN4	
	P23	A11		P75	P75	
	P24	A12		P76	TIOCA5, nIRQ6	
	P25	A13		P77	TIOCB5, nIRQ7	
	P26	A14		P80	nIRQ0	
Port 3	P30	D8	Port 9	P81	nCS3, nIRQ1	
	P31	D9		P82	nCS2, nIRQ2	
	P32	D10		P83	nCS1, nIRQ3	
	P33	D11		P84	nCS0	
	P34	D12		P90	TxD0	
	P35	D13		P91	RxD0	
	P36	D14		P92	TxD1	
P37	D15	P93	RxD1			
			P94	nIRQ4		
			P95	nIRQ5		
			P97	nTRST		

Note: 각 포트의 기능은 동작 모드 별 또는 사용자의 정의에 따라 바뀐다.  
기본 적으로 설정되어있는 기능은 4.3.2 PINMUX 레지스터절에 설명되어 있습니다.

### 4.3 레지스터 설명

#### 4.3.1 레지스터 메모리 맵

표 4.2 에 MCU 컨트롤러의 메모리 맵을 나타내었으며 MCU 컨트롤러의 기준 어드레스는 0x0900\_0000. 표 4.3 은 각 모드에서의 초기값을 보여주는데 모드에 따라 초기값이 달라집니다.

표 4.2 MCU 컨트롤러 블록의 메모리 맵

레지스터	I/O OFFSET	Dir.	Description
PAMR	0x0000	R/W	포트 A 핀 설정 레지스터
PBMR	0x0004	R/W	포트 B 핀 설정 레지스터
P1MR	0x0008	R/W	포트 1 핀 설정 레지스터
P2MR	0x000C	R/W	포트 2 핀 설정 레지스터
P3MR	0x0010	R/W	포트 3 핀 설정 레지스터
P4MR	0x0014	R/W	포트 4 핀 설정 레지스터
P5MR	0x0018	R/W	포트 5 핀 설정 레지스터
P6MR	0x001C	R/W	포트 6 핀 설정 레지스터
P7MR	0x0020	R/W	포트 7 핀 설정 레지스터
P8MR	0x0024	R/W	포트 8 핀 설정 레지스터
P9MR	0x0028	R/W	포트 9 핀 설정 레지스터
DCR	0x002C	R	MCU 장치 코드 레지스터

표 4.3 모드에 따른 MCU 컨트롤러 블록의 레지스터 초기값

Reg.	모드 2	모드 3,4	모드 5,7	모드 6
PAMR	0x0000	0x0000	0x1540	0x1540
PBMR	0x0000	0x0000	0x0055	0x0000
P1MR	0x0000	0x0000	0x00FF	0x0000
P2MR	0x0000	0x0000	0x00FF	0x0000
P3MR	0x00FF	0x0000	0x00FF	0x0000
P4MR	0x0000	0x0000	0x00FF	0x0000
P5MR	0x0000	0x0000	0x000F	0x0000
P6MR	0x0000	0x0000	0x03FF	0x0000
P7MR	0x0000	0x0000	0x0000	0x0000
P8MR	0x0000	0x0000	0x00D4	0x0000
P9MR	0x0000	0x0000	0x0000	0x0000
DCR	0x39437092			

4.3.2 PINMUX 레지스터

**PAMR** 포트 A MUX 레지스터 (0x0900\_0000 R/W)

	b31	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>PAMR</b>	Reserved		PA7	PA6	PA5	PA4	PA3		PA2	PA1	PA0					
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)																
							PA7	00	:A20				01	:TIOCB2		
								10	:PA7				11	:reserved		
							PA6	00	:A21				01	:TIOCA2		
								10	:PA6				11	:reserved		
							PA5	00	:A22				01	:TIOCB1		
								10	:PA5				11	:reserved		
							PA4	00	:A23				01	:TIOCA1		
								10	:PA4				11	:reserved		
							PA3	00	:TCLKD				01	:TIOCB0		
								10	:PA3				11	:reserved		
							PA2	00	:TCLKC				01	:TIOCA0		
								10	:PA2				11	:reserved		
							PA1	0	:TCLKB				1	:PA1		
							PA0	0	:TCLKA				1	:PA0		

**PBMR** 포트 B MUX 레지스터 (0x0900\_0004 R/W)

	b31	b14	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>PBMR</b>	Reserved			PB7	PB6	PB5	PB4	PB3	PB2		PB1	PB0		
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)														
							PB7	0	:TCK			1	:PB7	
								0	:TDI			1	:PB6	
							PB5	0	:TDO			1	:PB5	
								0	:TMS			1	:PB4	
							PB3	00	:/CS4			01	:TIOCB4	
								10	:PB3			11	:reserved	
							PB2	00	:/CS5			01	:TIOCA4	
								10	:PB2			11	:reserved	
							PB1	00	:/CS6			01	:TIOCB3	
								10	:PB1			11	:reserved	
							PB0	00	:/CS7			01	:TIOCA3	
								10	:PB0			11	:reserved	

**P1MR** 포트 1 MUX 레지스터 (0x0900\_0008 R/W)

b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved		P17	P16	P15	P14	P13	P12	P11	P10
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)									
		P17	0	:A7			1	:	P17
		P16	0	:A6			1	:	P16
		P15	0	:A5			1	:	P15
		P14	0	:A4			1	:	P14
		P13	0	:A3			1	:	P13
		P12	0	:A2			1	:	P12
		P11	0	:A1			1	:	P11
		P10	0	:A0			1	:	P10

**P2MR** 포트 B MUX 레지스터 (0x0900\_000C R/W)

b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved		P27	P26	P25	P24	P23	P22	P21	P20
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)									
		P27	0	:A15			1	:	P27
		P26	0	:A14			1	:	P26
		P25	0	:A13			1	:	P25
		P24	0	:A12			1	:	P24
		P23	0	:A11			1	:	P23
		P22	0	:A10			1	:	P22
		P21	0	:A9			1	:	P21
		P20	0	:A8			1	:	P20

**P3MR** 포트 3 MUX 레지스터 (0x0900\_0010 R/W)

b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
Reserved		P37	P36	P35	P34	P33	P32	P31	P30
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)									
		P37	0	:D8			1	:	P37
		P36	0	:D9			1	:	P36
		P35	0	:D10			1	:	P35
		P34	0	:D11			1	:	P34
		P33	0	:D12			1	:	P33
		P32	0	:D13			1	:	P32
		P31	0	:D14			1	:	P31
		P30	0	:D15			1	:	P30

**P4MR** 포트 4 MUX 레지스터 (0x0900\_0014 R/W)

b31		b8	b7	b6	b5	b4	b3	b2	b1	b0				
<b>P4MR</b>	Reserved						P47	P46	P45	P44	P43	P42	P41	P40
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)														
		P47	0	:	D7			1	:	P47				
		P46	0	:	D6			1	:	P46				
		P45	0	:	D5			1	:	P45				
		P44	0	:	D4			1	:	P44				
		P43	0	:	D3			1	:	P43				
		P42	0	:	D2			1	:	P42				
		P41	0	:	D1			1	:	P41				
		P40	0	:	D0			1	:	P40				

**P5MR** 포트 5 MUX 레지스터 (0x0900\_0018 R/W)

b31						b4	b3	b2	b1	b0
<b>P5MR</b>	Reserved						P53	P52	P51	P50
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)										
		P53	0	:	A19		1	:	P53	
		P52	0	:	A18		1	:	P52	
		P51	0	:	A17		1	:	P51	
		P50	0	:	A16		1	:	P50	

**P6MR** 포트 6 MUX 레지스터 (0x0900\_001C R/W)

b31		b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0		
<b>P6MR</b>	Reserved						P66	P65	P64	P63	P67	P62	P61	P60
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)														
		P66	0	:	LWR			1	:	P66				
		P65	0	:	HWR			1	:	P65				
		P64	0	:	RD			1	:	P64				
		P63	0	:	AS			1	:	P63				
		P67	0	:	BCLK			1	:	P67				
		P62	00	:	BACK			01	:	P62				
			1x	:	Reserved				:					
		P61	00	:	BREQ			01	:	P61				
			1x	:	Reserved				:					
		P60	0	:	WAIT			1	:	P60				



**P7MR** 포트 7 MUX 레지스터 (0x0900\_0020 R/W)

	b31	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>P7MR</b>	Reserved			P77	P76	P74	P73	P72	P71	P70	
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)											
				P77	00 : TIOCB5		01	: /IRQ7			
					10 : P77		11	: reserved			
				P76	00 : TIOCA5		01	: /IRQ6			
					10 : P76		11	: reserved			
				P74	0 : AN4		1	: Reserved			
				P73	0 : AN3		1	: Reserved			
				P72	0 : AN2		1	: Reserved			
				P71	0 : AN1		1	: Reserved			
				P70	0 : AN0		1	: Reserved			

**P8MR** 포트 8 MUX 레지스터 (0x0900\_0024 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0	
<b>P8MR</b>	Reserved			P84	P83	P82	P81	P80			
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)											
				P84	0 : /CS0		1	: P84			
				P83	00 : /CS1		01	: /IRQ3			
					10 : P83		11	: reserved			
				P82	00 : /CS2		01	: /IRQ2			
					10 : P82		11	: reserved			
				P81	00 : /CS3		01	: /IRQ1			
					10 : P81		11	: reserved			
				P80	0 : /IRQ0		1	: P80			

**P9MR** 포트 9 MUX 레지스터 (0x0900\_0028 R/W)

	b31	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>P9MR</b>	Reserved		P97	P95	P94	P93	P92	P91	P90				
초기 값 : 칩의 동작모드에 따라 변합니다. (표 4.3 참조)													
				P97	0 : /TRST		1	: P97					
				P95	00 : /IRQ5		01	: P95					
					1x : Reserved								
				P94	00 : /IRQ4		01	: P94					
					1x : Reserved								
				P93	00 : /RxD1		01	: P93					
					1x : Reserved								
				P92	00 : /TxD1		01	: P92					
					1x : Reserved								
				P91	0 : RxD0		1	: P91					
				P90	0 : TxD0		1	: P90					

4.3.3 MCU 장치 코드 레지스터 (0x0900\_002C 읽기전용)

이 레지스터는 읽기 전용이며 장치 코드 값은 '0x3943\_7092'입니다.

제5장  
전원 관리부 (PMU)

5.1 개요

전원 관리부(PMU)는 다음과 같은 기능이 있습니다.

- 칩 전체의 클럭 설정
- 리셋, 런, 파워다운 등 칩의 동작 모드 제어
- 메모리 맵 설정

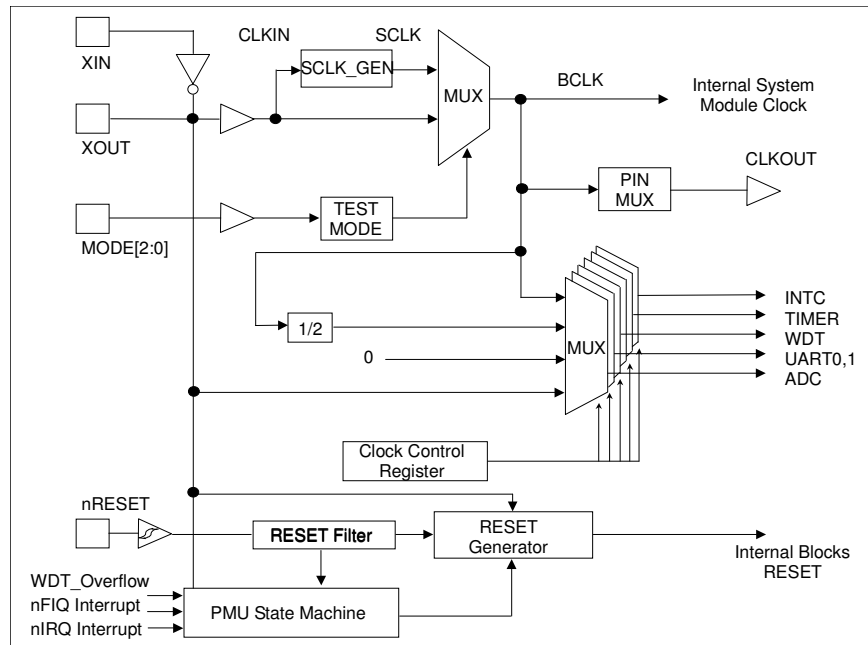


그림 5.1 PMU 블럭도

## 5.2 동작 모드

### 5.2.1 개요

PMU 는 클럭 제어부와 리셋 제어부로 구성됩니다. 사용자는 PMU 의 내부 레지스터를 설정함으로써 칩의 주 동작 클럭과 주변 장치들의 클럭을 제어할 수 있습니다. 이 MCU 는 외부 리셋 핀에 의한 파워-온 리셋, PMU 의 레지스터 설정에 의한 소프트 리셋, 와치독 타이머의 오버플로우에 의한 리셋 등 3 개의 리셋 소스를 가지고 있습니다. 그리고 PMU 의 이전 리셋값과 현재 상태를 저장하고 있는 상태레지스터를 포함합니다.

전력 소모를 줄이기 위해 버스 클럭을 멈추는 저전력 모드를 지원합니다.

파워다운에서의 복귀는 다음과 경우에 대해 발생합니다:

- 안전한 파워-업 수순
- 소프트리셋
- 와치독 타이머 오버플로우 리셋

칩의 동작모드:

- RUN
- 파워다운 모드

### 5.2.2 리셋 및 동작 모드

각 동작 모드는 아래와 같이 정의됩니다.:

#### *리셋*

외부 핀에 의해 리셋을 인가했을 때, 와치독 타이머에서 오버플로우 발생 시, 또는 PMU 의 소프트리셋 발생 시 칩은 초기화 됩니다.

#### *파워-온-리셋*

외부 리셋 핀에 의해 파워 온 리셋 상태가 되면 외부 핀은 버스 클럭이 안정화 될 때까지 레벨이 유지되어야 합니다.

외부 리셋은 비동기로 동작하며 칩내 모든 블록은 출력 핀을 비활성화 시킨다. 리셋이 인가되고 'H' 레벨 상태가 된 후 32 클럭 뒤에 칩은 정상 동작 모드로 진입합니다.

#### *소프트리셋 (PMU)*

소프트 리셋은 일정 클럭 주기 동안 CPU 를 비롯한 ASB 블록, APB 블록 등 모든 내부 블록을 초기화시키는 기능을 합니다.

**와치독 타이머의 오버플로우와 리셋 발생**

와치독 타이머가 리셋 모드로 설정되고 오버플로우가 발생되면 리셋 신호를 발생시키고 PMU 에 전달합니다. 자세한 내용은 와치독 타이머 블록의 설명 참조바랍니다.

**파워다운 모드**

파워다운 상태가 되면 PMU 는 내부 클럭을 멈추게 하여 모든 ASB 및 APB 블록의 클럭을 중지시킵니다. 이 상태에서는 전력 소모가 현저히 줄어들게 됩니다.

**파워다운 모드로부터의 복귀**

파워다운 상태로부터의 복귀는 외부 인터럽트(nIRQ<sub>0</sub>~nIRQ<sub>5</sub>)에 의해서만 가능합니다. 파워다운 상태로부터의 복귀 후에는 '런' 상태가 되어 정상 동작모드로 진입합니다.

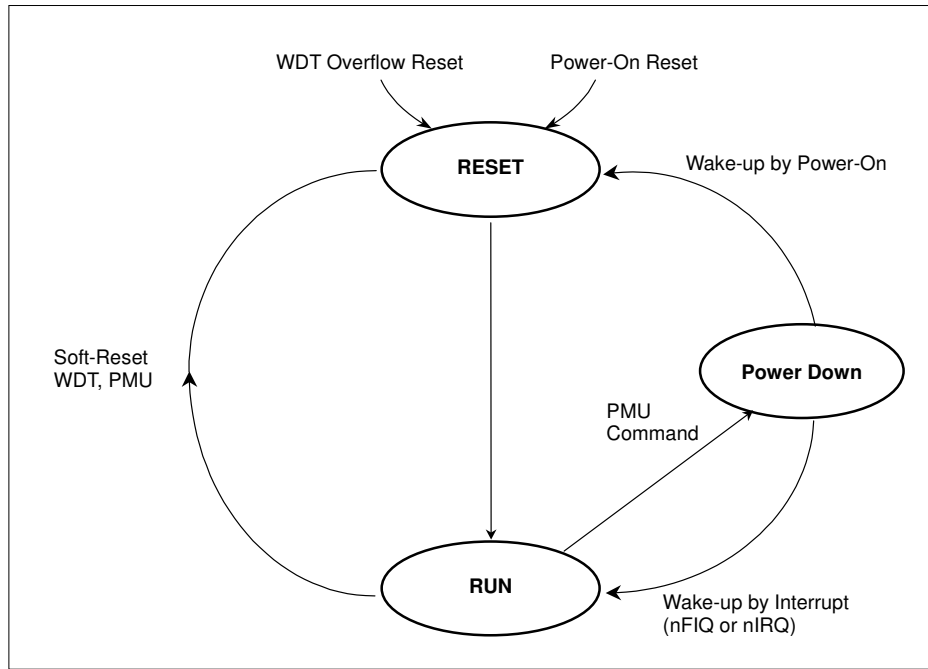


그림 5.2 동작 모드 별 상태 변화도

## 5.3 전력 관리부 레지스터 맵

전원 관리부(PMU: Power Management Unit)부의 기준 어드레스는 **0x0900\_1000**입니다.

표 5.1 PMU 부의 레지스터 맵

Name	I/O Offset	DIR	Description
PMUCR	0x1000	W	칩 동작 모드 제어 레지스터
PMUSR	0x1000	R	PMU 상태 레지스터
PCLKCR	0x1008	R/W	주변 장치 클럭 제어 레지스터
MEMSR	0x100C	R	메모리 맵 상태 레지스터
MEMCR	0x1010	W	메모리 맵 설정 레지스터
RSTCR	0x1030	W	소프트리셋 제어 레지스터

5.4 레지스터 설명

PMU 칩 내부의 모든 블록에 사용되는 클럭을 발생시킨다. 내부 레지스터의 기준 어드레스는 **0x0900\_1000** 입니다.

**PMUCR**                      **PMU 제어 레지스터 (0x0900\_1000 쓰기전용)**

	b31 - b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>PMUCR</b>	Reserved							PD	
Reset	-	0	0	0	0	0	0	0	0
	초기값 : 0x-00								
								<b>PD</b>	
								11 : 파워다운 모드 진입	
								00 : PMU 상태 레지스터 클리어	

PMUCR 칩의 동작모드를 설정하는 레지스터입니다. 외부 리셋이 인가되었을 때 칩은 ‘런’ 상태가 되며 초기값은 00 입니다. PMUCR 이 ‘11’이 되면 칩은 파워다운 상태가 됩니다. 다른 값들은 무의미한 값들이 됩니다. 레지스터의 어드레스는 0x0900\_1000 입니다.

**PMUST**                      **PMU 스테이터스 레지스터 (0x0900\_1004 읽기전용)**

	b31 - b8	b5	b4	b3	b2	b1	b0
<b>PMUST</b>	Reserved	PMUST		Reserved		PMUST	
Reset	-	0	0	-		0	0
	초기값 : 0x-00						

상태 레지스터로 이 레지스터는 칩의 이전 리셋 값과 시작 상태를 나타냅니다. 어드레스는 0x0900\_1004 입니다.

**RESETST** (이전 리셋 상태 저장)

- 00 – 외부 리셋 (nRESET)
- 01 – PMU 설정에 의한 소프트리셋
- 10 – WDT 의 오버플로우에 의한 리셋
- 11 – 예약

**STARTST** (PMU Start 스테이터스 비트 s)

- 00 – 외부 리셋 이후 칩 동작
- 01 – 예약
- 10 – 예약
- 11 – 파워다운 이후에 칩 동작



**PCLKCR**      **Clock 제어 레지스터 (0x0900\_1008 R/W)**

	b31 - b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	B5	b4	b3	b2	b1	b0
<b>PCLKCR</b>	Reserved	WU_SEL	INTC_CC	WDT_CC			UART_Clk		UART_CC		TIMER_CC			ADC_CC			
Reset	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	초기값 : 0x00000000																

각 주변 장치별로 클럭을 설정하는 레지스터로, 이 레지스터는 0x0900\_1008에 위치합니다.

**WU\_SEL** : 웨이크업에 사용될 인터럽트 소스 선택

0 - nFIQ 인터럽트 발생 시 웨이크업

1 - nIRQ 인터럽트 발생 시 웨이크업

**INTC\_CC** : 인터럽트 컨트롤러 클럭 제어 레지스터

0 - 인터럽트 컨트롤러는 XIN 을 사용합니다. XIN 은 어떠한 동작 모드에서도 항상 발진 합니다.

1 - 인터럽트 컨트롤러는 내부 버스 클럭인 BCLK 를 사용합니다. 따라서 파워다운 모드 시에는 인터럽트 발생이 되지 않습니다.

**WDT\_CC** : 와치독 타이머의 클럭 분주 레지스터

000 - BCLK

001 - BCLK/2

010 ~ 111 - 예약

**UART\_Clk** : UART0,1 클럭 제어 레지스터

00 - UART0,1 클럭-온

01 - UART1 클럭-온, UART0 클럭-오프

10 - UART1 클럭-오프, UART0 클럭-온

11 - UART0,1 클럭-오프

**UART\_CC** : UART 클럭 분주 레지스터

000 - BCLK

001 - BCLK/2

010 ~ 111 - 예약

**TIMER\_CC** : 타이머 클럭 분주 레지스터

000 - BCLK

001 - BCLK/2

010 ~ 111 - 예약

**ADC\_CC** : ADC 클럭 분주 레지스터

000 - BCLK

001 - BCLK/2

010 ~ 111 - 예약

**MEMCR** 메모리 제어 레지스터 (0x0900\_1010 쓰기전용)  
**MEMSR** 메모리 스테이터스 레지스터 (0x0900\_100C 읽기전용)

	b31 - b3	b2	b1	b0
<b>MEMCR</b>	Reserved	SM	ONFLSH	REMAP
Reset	-	0	0	0

초기값 : 0x-0

메모리 맵을 재설정하는 레지스터로 어드레스는 읽기 0x0900\_1010, 쓰기 0x0900\_100C 입니다.

**ONFLSH** : 모드 1,2 에서 플래시 메모리 영역의 기준 어드레스를 0x0 으로 리맵(remap).

0 - 초기 값

1 - 플래시 메모리 영역의 기준 어드레스 변경. 모드 4,5 에서만 유효

**REMAP** : 내부 SRAM 의 어드레스 변경

0 - 초기 값

1 - 내부 SRAM 의 기준 어드레스를 0x0 으로 변경. 모드 0,1,2,3 에서 유효.

**RSTCR** 소프트 리셋 제어 레지스터 (0x0900\_1030 쓰기전용)

	b31 - b1	b0
<b>RSTCR</b>	Reserved	RSTCR
Reset	-	-

**RSTCR 1** : 소프트리셋

0 : 정상 동작 모드

PMU 소프트리셋을 발생시키는 레지스터입니다. 비트 0 에 '1'이 쓰여지면 리셋 상태로 전환되며 소프트리셋 이후에 자동적으로 초기값으로 클리어됩니다. 어드레스는 0x0900\_1010 입니다.

## 5.5 신호 타이밍

PMU 부의 신호 타이밍이 아래 그림에 나타내었습니다.

### 5.5.1 파워 온 리셋

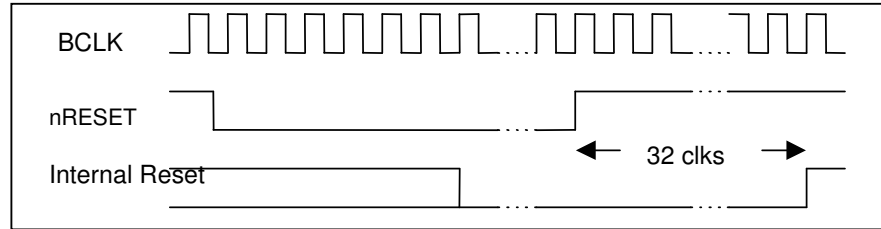


그림 5.3 외부 리셋 타이밍

### 5.5.2 와치독 타이머 오버플로우

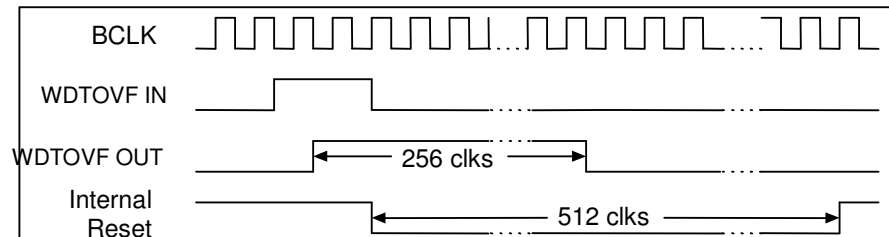


그림 5.4 와치독 타이머 오버플로우 타이밍

5.5.3 소프트리셋

소프트리셋이 기동되는 경우는 다음의 두가지 경우입니다.  
 첫번째는 와치독 타이머의 오버플로우 리셋에 의한 경우와 PMU 리셋 제어 레지스터(RSTCR)의 의한 경우입니다.

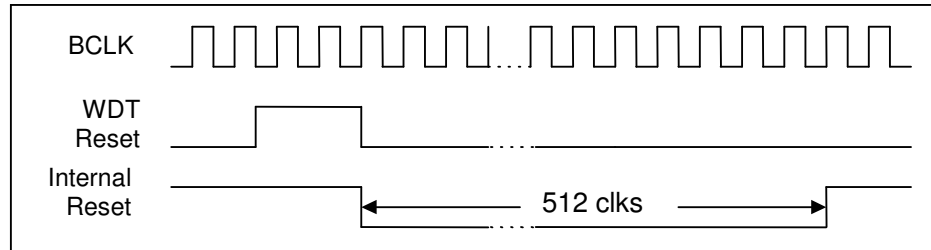


그림 5.5 와치독 타이머의 소프트리셋 타이밍

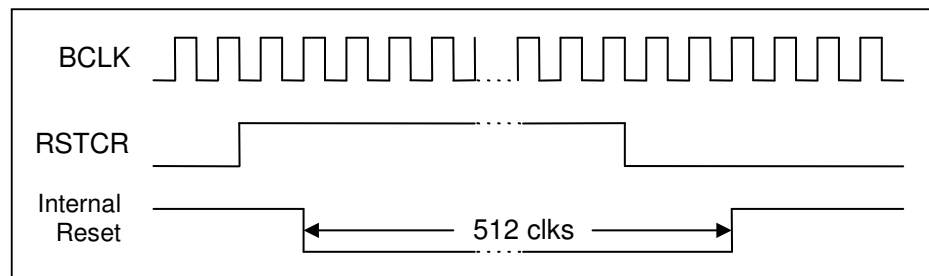


그림 5.6 PMU의 소프트리셋 타이밍

제6장  
인터럽트 컨트롤러 (INTC)

6.1 개요

인터럽트 컨트롤러에는 아래와 같은 특징이 있습니다.:

- 동기식 동작
- 8 개의 외부 인터럽트 소스
- 11 개의 내부 인터럽트 소스
- 인터럽트 소스의 활성화 모드 선택(레벨 또는 에지 트리거)
- 인터럽트 소스와 출력 신호 마스킹 가능
- 각 인터럽트 소스에 대해 nIRQ 또는 nFIQ 로 설정 가능

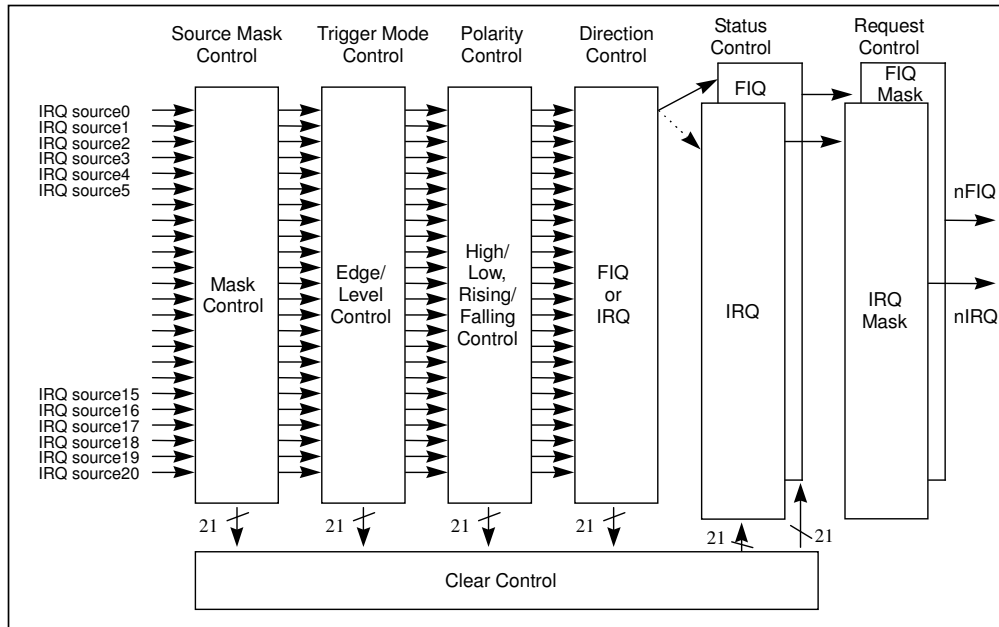


그림 6.1 인터럽트 발생 흐름도

### 6.1.1 인터럽트 소스

인터럽트 컨트롤러는 다수의 인터럽트 소스와 프로세서 사이를 연결하며 내부/외부 인터럽트 소스를 지원합니다. 내부 인터럽트 소스는 11 개이며, 외부 인터럽트 소스는 8 개입니다. 몇몇 인터럽트 비트는 어떤 시스템에서도 요구되는 기본적인 기능으로 정의될 수 있고, 나머지는 특정시스템 구성에서 쓰이는 장치들을 위하여 사용될 수 있습니다.

**표 6.1 기본 우선순위**

인터럽트 No.	인터럽트 SOURCES
INT0	외부 인터럽트 0
INT1	외부 인터럽트 1
INT2	외부 인터럽트 2
INT3	외부 인터럽트 3
INT4	외부 인터럽트 4
INT5	외부 인터럽트 5
INT6	외부 인터럽트 6
INT7	외부 인터럽트 7
INT8	예약
INT9	예약
INT10	WDT
INT11	UART0
INT12	UART1
INT13	ADC
INT14	타이머 0
INT15	타이머 1
INT16	타이머 2
INT17	타이머 3
INT18	타이머 4
INT19	타이머 5
INT20	Software 인터럽트

사용자는 모든 인터럽트 소스의 활성화 모드를 설정할 수 있습니다. 기본적으로는 소스의 하강 에지에서 동작하는(에지 트리거) 모드입니다.

인터럽트 소스에 대해 2 단계의 우선순위를 설정할 수 있으며 각 소스는 ID 값을 가지고 있어 현재 어떤 인터럽트가 발생했는지 알 수 있습니다.

FIQ 마스크 레지스터와 IRQ 마스크 레지스터를 두어 소프트웨어로 인터럽트의 발생을 제어할 수 있습니다.

### 6.1.2 인터럽트 신호 제어

인터럽트 컨트롤러는 FIQ/IRQ 상태 레지스터를 통하여 각 인터럽트 소스에 대한 상태를 저장하고 있으며, 인터럽트 마스크 레지스터는 활성화된 인터럽트 소스가 프로세서에게 인터럽트 요청을 할지 말지를 결정하는데 사용됩니다. 레지스터의 비트 값이 'H' 레벨이면 인터럽트 소스가 마스크된 것을 뜻하며 프로세서에게 인터럽트 요청을 하지 않습니다.

FIQ/IRQ 마스크 레지스터는 내부적으로 발생된 인터럽트를 프로세서로 출력할 지

여부를 결정하는데 사용됩니다.

각 인터럽트는 TMR(트리거 모드 레지스터)와 TPR(트리거 극성 레지스터)의 설정에 따라 발생 모드가 결정됩니다. IDR(인터럽트 방향 레지스터)는 해당 인터럽트가 IRQ 인지 FIQ 인지를 결정합니다.

FIQ/IRQ 상태 레지스터는 모든 채널의 인터럽트 소스에 대해 FIQ 혹은 IRQ 가 발생되었는지를 나타냅니다. 상태 레지스터는 에지 트리거 모드에서 인터럽트 클리어 레지스터(ISCR)의 해당 비트에 '1'을 쓰면 클리어됩니다.

비트 21 은 소프트웨어 인터럽트 소스로 사용됩니다. 소프트웨어 인터럽트는 'H' 레벨에서만 활성화되도록 고정되어 있습니다.



## 6.2 인터럽트 컨트롤러 레지스터

인터럽트 컨트롤러 내부 레지스터의 기준 어드레스는 **0x0900\_1200** 입니다. 아래는 인터럽트 컨트롤러의 레지스터 맵입니다.

표 6.2 메모리 맵

REG.	I/O OFFSET	Dir	Description
GMR	0x1200	R/W	글로벌 마스크 레지스터
TMR	0x1204	R/W	트리거 모드 설정 레지스터
TPR	0x1208	R/W	트리거 극성 설정 레지스터
IDR	0x120C	R/W	인터럽트 방향 레지스터
FSR	0x1210	R	FIQ 상태 레지스터
ISR	0x1214	R	IRQ 상태 레지스터
FMR	0x1218	R/W	FIQ 마스크 레지스터
IMR	0x121C	R/W	IRQ 마스크 레지스터
ISCR	0x1220	W	인터럽트 클리어 레지스터

## GMR 글로벌 마스크 레지스터 (0x0900\_1200 R/W)

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
GMR	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	0000000			1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

초기 값 : 0x03FFFFFF      비트 영역 I0-I21      1: 인터럽트 마스크  
0: 인터럽트 전달

인터럽트 마스크 레지스터(GMR)는 각 인터럽트소스에서 발생시키는 인터럽트를 활성화 시켜서 프로세서에 전달할지의 여부를 결정합니다. 인터럽트 컨트롤러의 입력인 인터럽트 소스 중에 특정 소스가 구현되어있지 않다면 GMR의 해당 비트는 반드시 마스크되어야 합니다. GMR의 해당 비트값이 '0'이면 인터럽트가 활성화된 것을 의미하며 발생된 인터럽트가 프로세서로 전달됩니다. 반대로 GMR의 비트값이 '1'이면 해당 인터럽트는 마스크된다는 것을 의미하며 그에 상응하는 상태레지스터의 값은 클리어됩니다. 리셋 후에는 모든 인터럽트가 마스크됩니다.

## TMR 트리거 모드 레지스터 (0x0900\_1204 R/W)

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
TMR	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	0000000			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0x0000000      비트 영역 I0-I20      1: 레벨 트리거 모드  
0: 에지 트리거 모드

TMR(트리거 모드 레지스터)은 TPR(트리거 극성 레지스터)과 함께 각 인터럽트 소스의 동작 모드를 설정합니다. 소프트웨어 인터럽트를 제외한 각 인터럽트는 레벨 혹은 에지 트리거 모드로 설정됩니다. 비트 값이 '0'이면 인터럽트는 에지 트리

거 모드로 설정되었음을 의미하며 비트 값이 '1'이면 인터럽트는 레벨로 동작함을 나타냅니다.

**TPR 트리거 극성 레지스터 (0x0900\_1208 R/W)**

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>TPR</b>	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	00000000			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0x00000000      비트 영역 I0-I20    1 : High 또는 상승 에지  
 0 : Low 또는 하강 에지

TPR 은 TMR 과 함께 사용되며 각 인터럽트의 극성을 조절합니다. 소프트웨어 인터럽트를 제외한 각 인터럽트는 상승/'H' 또는 하강/'L' 일 때 활성화되도록 설정가능 합니다. 비트 값이 '0'이면 인터럽트 소스가 하강 에지일 때 또는 'L' 레벨일 때 활성화 됩니다. 하강 에지는 TMR 이 에지 트리거 모드일 때이고 'L' 레벨은 TMR 이 레벨 트리거로 설정되었을 때 입니다. 비트 값이 '1'이면 인터럽트는 상승 에지 또는 'H' 레벨일 때 활성화 됨을 의미합니다. 리셋 후에는 모든 인터럽트는 하강 에지 또는 'L' 레벨일 때 활성화 되게 초기화됩니다.

**표 6.3 인터럽트 소스 트리거 모드**

동작 조건	TMR	TPR
<i>Falling-Edge (Default)</i>	0	0
Rising-Edge	0	1
Low-Level	1	0
High-Level	1	1

**IDR 인터럽트 방향 레지스터 (0x0900\_120C R/W)**

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>IDR</b>	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	00000000			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0x00000000      비트 영역 I0-I21    1 : FIQ 구동  
 0 : IRQ 구동

IDR(인터럽트 방향 레지스터)는 각 인터럽트가 IRQ 를 구동할지 FIQ 를 구동할지를 설정합니다. 비트 값이 '0'이면 해당 인터럽트가 IRQ 임을 나타내고 비트 값이 '1'이면 인터럽트가 FIQ 를 구동함을 나타냅니다. 리셋 후 모든 인터럽트는 IRQ 를 구동하도록 초기화 되어있습니다.

**FSR**                    **FIQ 스테이터스 레지스터 (0x0900\_1210 읽기전용)**

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>FSR</b>	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	0000000			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0x00000000                    비트 영역 I0-I21    1 : FIQ 인터럽트 발생  
0 : FIQ 인터럽트 없음

FSR 은 IDR 의 비트 값이 '1'일 때 의미가 있으며 현재 모든 인터럽트 소스로부터 FIQ 의 발생 유무를 나타냅니다. 하나의 인터럽트 소스가 FIQ 모드에서 인터럽트를 발생시키면 FSR 의 상응하는 비트가 '1'로 설정되며 FMR 이 클리어되었을 때 FIQ 가 CPU 로 전달됩니다. 소프트웨어의 인터럽트 처리루틴에서 이 레지스터 값을 읽음으로써 모든 채널에서 FIQ 의 발생 유무를 체크합니다. 인터럽트가 에지 트리거 모드로 설정되었을 때 ISCR 의 해당 비트에 '1'을 쓰면 FSR 의 상응하는 비트가 '0' 으로 클리어됩니다.

**ISR**                    **IRQ 스테이터스 레지스터 (0x0900\_1214 읽기전용)**

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>ISR</b>	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	0000000			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0x00000000                    비트 영역 I0-I21    1 : IRQ 인터럽트 발생  
0 : IRQ 인터럽트 없음

ISR 은 IDR 의 비트 값이 '0'일 때 의미가 있으며 현재 모든 인터럽트 소스로부터 IRQ 의 발생 유무를 나타냅니다. 하나의 인터럽트 소스가 IRQ 모드에서 인터럽트를 발생시키면 ISR 의 상응하는 비트가 '1'로 설정되며 IMR 이 클리어되었을 때 IRQ 가 CPU 로 전달됩니다. 소프트웨어의 인터럽트 처리부에서 이 레지스터 값을 읽음으로써 모든 채널에서 IRQ 의 발생 유무를 체크합니다. 인터럽트가 에지 트리거 모드로 설정되었을 때 ISCR 의 해당 비트에 '0'을 쓰면 ISR 의 상응하는 비트가 '0'으로 클리어됩니다.

**FMR**                    **FIQ 마스크 레지스터 (0x0900\_1218 R/W)**

	b31	-	b21	b20	b19	b18	b17	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>FMR</b>	Reserved			I20	I19	I18	I17	I16	I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
Reset	0000000			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0x00000000                    비트 영역 I0        1 : FIQ 차단  
0 : FIQ 전달

FMR 은 인터럽트 컨트롤러의 최종 단으로서 인터럽트 컨트롤러 내부적으로 발생된 FIQ 를 CPU 에 전달할 지를 결정합니다. 비트 값이 '0'이면 FIQ 발생 가능 상태가 되며 발생된 FIQ 는 CPU 에 전달됩니다. 비트 값이 '1'이면 FIQ 는 마스크되며 발생된 인터럽트는 CPU 에 전달되지 않습니다. 리셋 후에는 FIQ 발생 가능 상태가 됩니다.



제7장

와치독 타이머 (WDT)

7.1 개요

와치독 타이머의 일반적인 특징은 아래와 같습니다:

- 와치독 타이머 모드 또는 인터벌 타이머 모드 기능
- 인터럽트 발생가능
- PMU(Power Management Unit)에 리셋 신호 가능/칩 리셋 여부 선택
- 8 개의 가변 클럭 소스

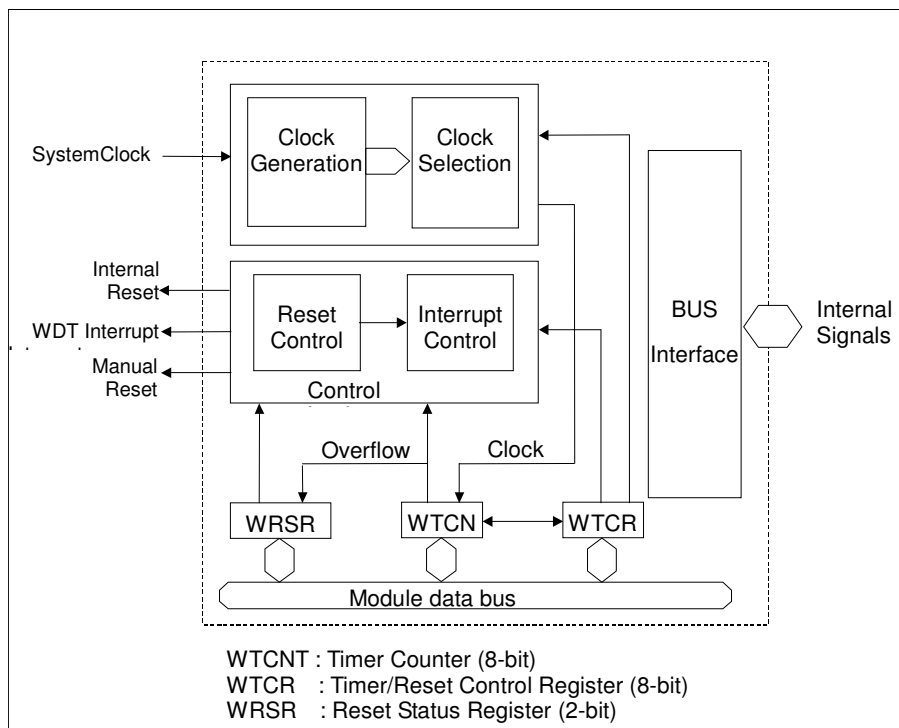


그림 7.1 와치독 타이머 블럭도

## 7.2 와치독 타이머 개요

HMS39C7092 시스템 동작을 통제하기 위해 한 채널의 와치독 타이머(WDT)를 내장하고 있습니다. 시스템이 통제 불가능한 상태가 되고 CPU 가 정상적으로 타이머에 값을 쓰지 않아서 오버플로우가 발생되면 와치독 타이머는 PMU 에 리셋 신호를 출력합니다.

와치독타이머 모드가 필요 없을 경우 와치독 타이머는 인터벌 타이머 모드로도 사용 가능한데, 오버플로우가 발생할 때 마다 주기적으로 인터럽트를 발생시킨다.

와치독 타이머에는 클럭 분주기가 있어서 8 가지의 클럭 소스를 선택가능합니다. 분주된 클럭은 시스템 클럭으로부터 만들어지며, 사용자는 와치독 타이머의 카운터 클럭으로 WTCR 의 CKSEL 비트 필드에 설정된 값에 따라 8 개의 내부 클럭 입력 중 하나를 선택할 수 있습니다.

7.3 와치독 타이머 동작

와치독 타이머 모드

와치독 타이머를 와치독 타이머 모드로 사용하려면 WTCR 의 WT/nIT 와 TMEN 이 '1'로 설정합니다. 소프트웨어는 와치독 타이머에 오버플로우가 발생하기 전에 WTCNT 에 값(통상 0x0000)을 써 넣어야 합니다. WTCNT 의 오버플로우가 발생하면 인터럽트와 리셋이 출력됩니다. 인터럽트는 INTEN 이 '1'일 경우에, 리셋은 RSTEN 이 '1'일 때 각각 발생합니다.

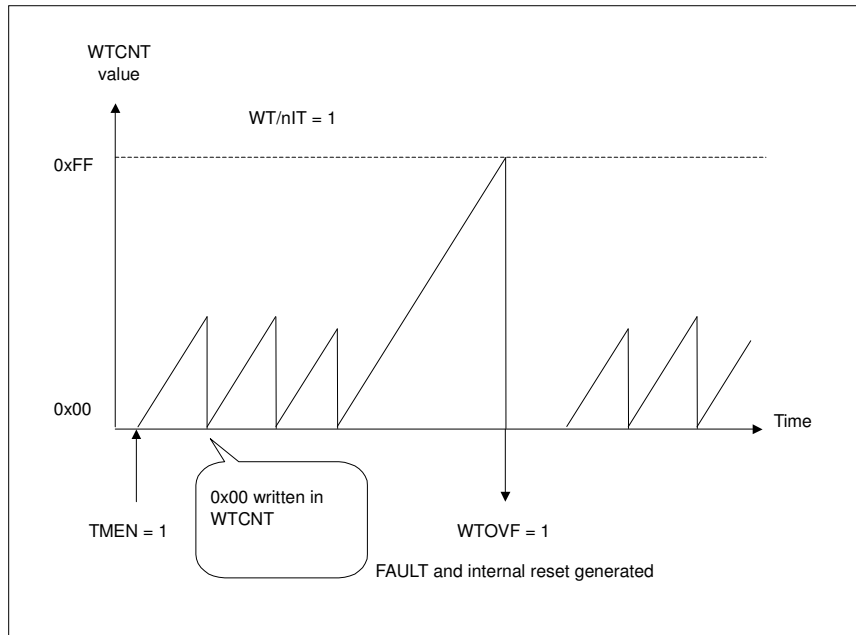


그림 7.2 와치독 타이머 모드 동작 예

RSTEN 비트가 '1'인 경우, WTCNT 가 오버플로우 되면 내부 리셋 신호가 발생합니다.



## 주기 타이머 모드

와치독 타이머를 인터벌 타이머 모드로 사용하기 위해서는 WT/nIT 필드를 '0'으로, TMEN 필드를 '1'로 설정하면 됩니다. INTEN 필드가 '1'이고 매번 WTCNT 에서 오버플로우가 발생할 때마다 와치독 타이머 인터럽트가 발생합니다. 이 기능은 일정 주기마다 인터럽트를 발생시킬 때 사용될 수 있습니다.

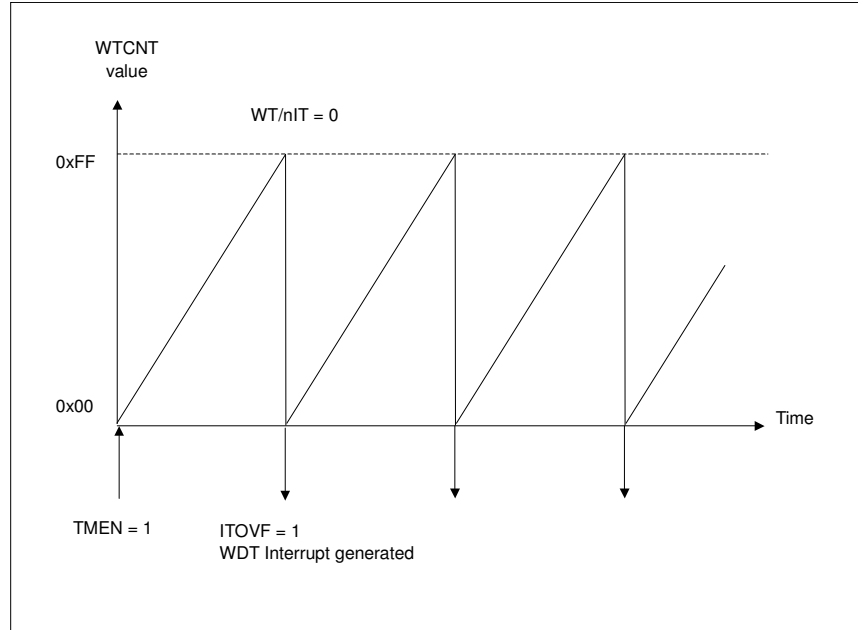


그림 7.3 인터벌 타이머 모드 동작 예

### 7.3.1 오버플로우 플래그 세트 및 클리어 타이밍

#### 오버플로우 플래그 세트 타이밍

인터벌 타이머 모드에서 WTCNT 에 오버플로우가 발생하면 WRSR 레지스터의 ITOVF 플래그가 '1' 이 되고 WTCR 레지스터의 INTEN 필드의 값에 따라 CPU 에 인터럽트를 요청합니다.

와치독 타이머 모드에서 WTCNT 에 오버플로우가 발생하면 WRSR 레지스터의 WDTOVF 플래그가 '1'이 되고 WTCR 레지스터의 INTEN 필드의 값에 따라 CPU 에 인터럽트를 요청합니다. 또한, WTCR 의 RSTEN 필드가 '1'이면 WDT 는 칩을 리셋시키기 위한 신호를 PMU 에 전달합니다.

## 오버플로우 플래그 클리어 타이밍

CPU 가 WRSR (리셋 스테이터스 레지스터) 의 값의 값을 읽으면 오버플로우 플래그(ITOVF, WDTOVF)가 클리어됩니다.

## 7.4 와치독 타이머 메모리 맵

와치독 타이머에는 3 개의 레지스터가 있습니다. 와치독 타이머부의 레지스터 기준 어드레스는 **0x0900\_1100** 이며 메모리 맵은 아래 표 7.1 과 같습니다.

표 7.1 와치독 타이머의 메모리 맵

Name	I/O Offset	DIR	Description
WTCR	0x1100	R/W	와치독 타이머 제어 레지스터 (8 비트)
WRSR	0x1104	R	와치독 타이머 오버플로우 리셋/상태 레지스터 (2 비트)
WTCNT	0x1108	R/W	와치독 타이머 카운터(8 비트)

## 7.5 와치독 타이머 레지스터 설명

아래는 와치독 타이머의 레지스터에 관한 설명입니다.

WTCR		와치독 타이머 컨트롤 레지스터 (0x0900_1100 R/W)								
		b31 - b8	b7	b6	b5	b4	B3	b2	b1	b0
WTCR		Reserved	INTEN	WT/nIT	TMEN	RSTEN	Reserved	CKSEL		
Reset		-	0	0	0	0	0	0	0	0

초기 값 : 0x-00

**CKSEL** : 8 개의 내부 클럭 분주 값 중 **WTCNT** 의 입력 클럭 선택

- 000 – BCLK / 2
- 001 – BCLK / 8
- 010 – BCLK / 32
- 011 – BCLK / 64
- 100 – BCLK / 256
- 101 – BCLK / 512
- 110 – BCLK / 2048
- 111 – BCLK / 8192

**RSTEN** : 와치독 타이머 모드에서 **WTCNT** 에 오버플로우가 발생할 때 칩의 리셋 여부를 결정

- 0 – 리셋 신호 발생 없음
- 1 – 리셋 신호 발생 시킴

**TMEN** : 카운터 동작 설정

- 0 – 카운터 동작 멈춤
- 1 – 카운터 동작 함

**WT/nIT** : WDT 가 와치독 타이머 모드로 동작할 지 인터벌 타이머 모드로 동작할지를 선택

- 0 – 인터벌 타이머 모드 동작
- 1 – 와치독 타이머 모드 동작

**INTEN** : 인터럽트의 발생 여부 선택

- 0 – 인터럽트 발생 없음
- 1 – 인터럽트 발생 시킴

8 비트의 읽고 쓰기가 가능한 레지스터이며 어드레스는 0x0900\_1100 입니다.

WTCR 은 다음과 같은 설정을 할 수 있습니다:

- 와치독 타이머의 타이머 모드 선택
- 카운터(WTCNT)의 내부 클럭 주기 결정
- 카운터의 동작 여부
- 인터럽트 요청 여부
- PMU 블록에 리셋 신호 출력 여부

카운터의 내부 클럭은 시스템 클럭의 분주를 통해 정해집니다.

표 7.2 카운터 클럭 소스에 따른 주기

CKSEL	CLOCK SOURCE	OVERFLOW INTERVAL	
		33 MHZ	50 MHZ
000	SYSCLK / 2	15.5 us	10.2 us
001	SYSCLK / 8	62.0 us	40.9 us
010	SYSCLK / 32	248.2 us	163.8 us
011	SYSCLK / 64	496.4 us	327.6 us
100	SYSCLK / 256	1.98 ms	1.31 ms
101	SYSCLK / 512	3.97 ms	2.62 ms
110	SYSCLK / 2048	15.88 ms	10.48 ms
111	SYSCLK / 8192	63.55 ms	41.94 ms

**WRSR**

리셋/상태 레지스터 ( 0x0900\_1104 읽기 전용 )

	b31 - b2	b1	b0
<b>WRSR</b>	Reserved	ITOVF	WTOVF
Reset	-	0	0

초기 값 : 0x-0

1 : 오버플로우 발생  
0 : 정상 동작 중

**WDTOVF** : 와치독타이머 모드에서 **WTCNT** 에 오버플로우가 발생함

**ITOVF** : 인터벌 타이머 모드에서 **WTCNT** 에 오버플로우가 발생함

**WRSR** 은 2 비트의 읽기 전용 레지스터이며 **WTCNT** 의 오버플로우 발생 정보를 저장합니다. **WRSR** 은 APB 블록의 리셋 신호가 인가된 후에 0x00 으로 초기화됩니다.

비트 0 (**WDTOVF**) 는 **WTCNT** 가 와치독 타이머 모드에서 오버플로우가 발생했음을 나타내며, 비트 1 (**ITOVF**)은 **WTCNT** 가 인터벌 타이머 모드에서 오버플로우가 발생했음을 나타냅니다.



7.6 레지스터 설정 예

7.6.1 인터벌 타이머 모드

WTCNT = 0x00  
WTCR = 0xA0

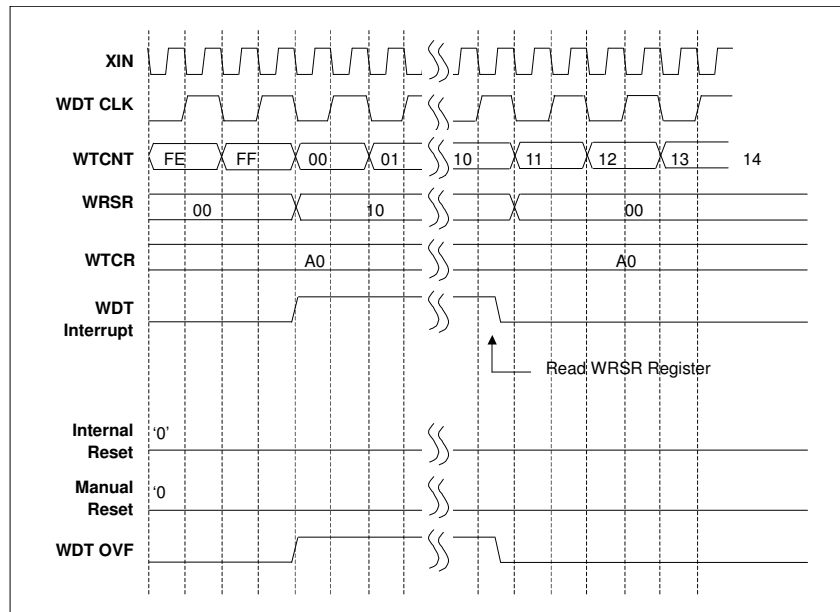


그림 7.4 인터벌 타이머 모드에서의 인터럽트 클리어

## 7.6.2 내부 리셋을 금지 시의 와치독 타이머 모드

WTCNT = 0x00 (normally)  
WTCR = 0xE0

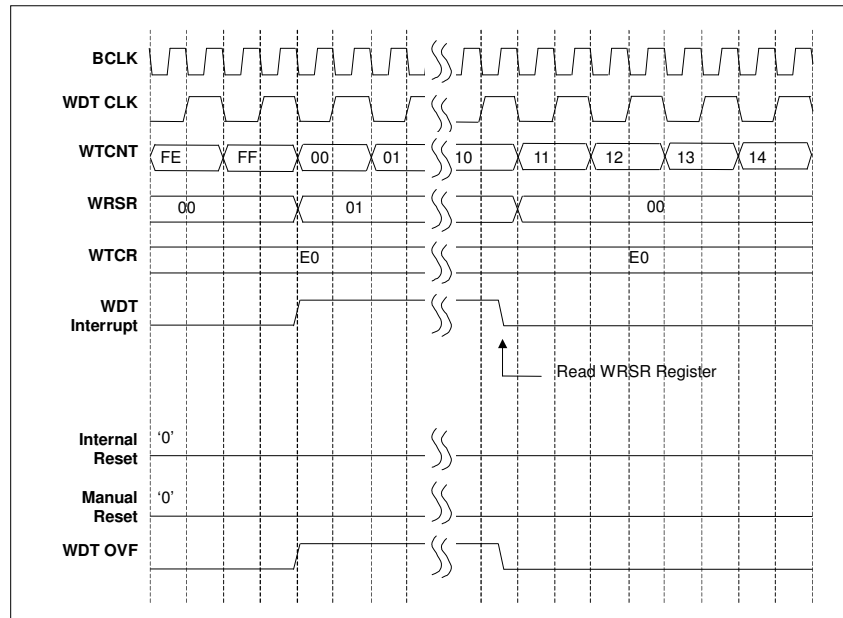


그림 7.5 와치독 타이머 모드에서의 인터럽트 클리어

7.6.3 파워 온 리셋 시의 와치독 타이머 모드

WTCNT = 0x00  
WTCR = 0xF0

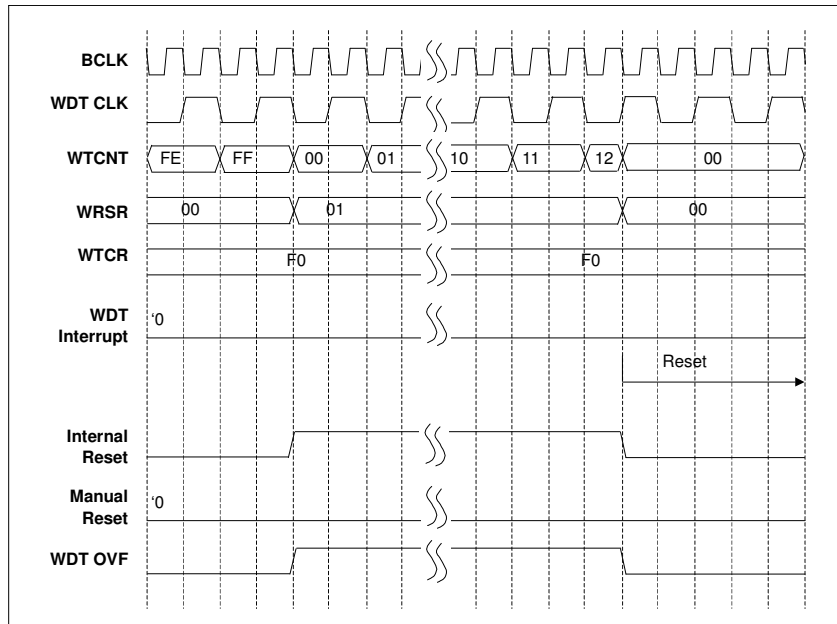


그림 7.6 와치독 모드에서의 인터럽트 클리어 및 리셋



## 7.6.4 매뉴얼 리셋시의 와치독 타이머 모드

WTCNT = 0x00  
WTCR = 0xF8

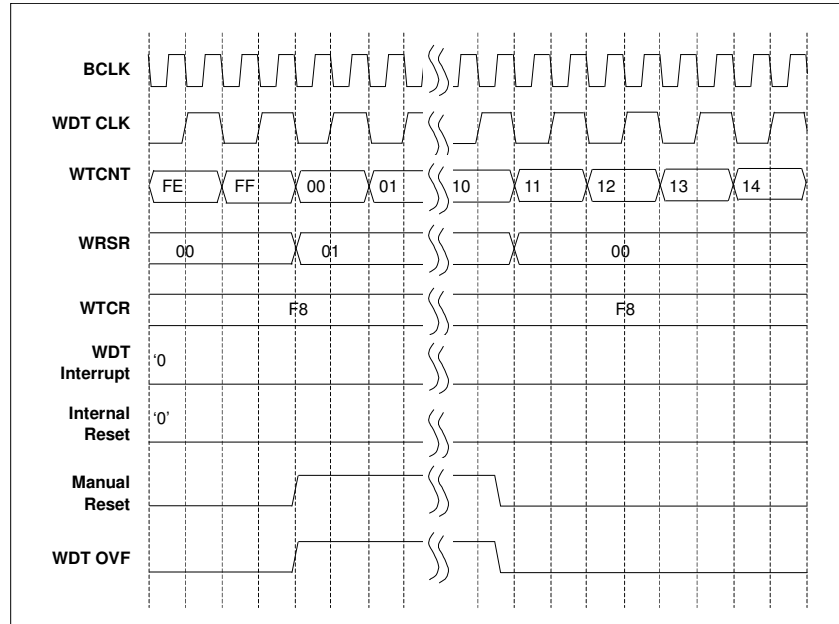


그림 7.7 매뉴얼 리셋 시의 와치독 타이머 모드에서의 인터럽트 클리어



제8장  
범용 타이머 (GPT)

8.1 개요

타이머 블록의 일반적인 특성은 아래와 같습니다:

- 6 채널의 16 비트 카운터로 구성
- 12 개의 다른 펄스 출력과 입력(각 채널당 2 개씩)
- 12 개의 레지스터( $GRAn/GRBn$ )를 이용한 각 채널의 독립적인 기능
- 컴페어 매치 과형 출력기능
- 입력 캡처 기능
- 컴페어 매치 또는 입력 캡처 모드에서 카운터 클리어 기능
- 동기모드 동작
- PWM 출력 모드
- 18 인터럽트 소스
- 4 개의 내부 클럭과 4 개의 외부 클럭 선택

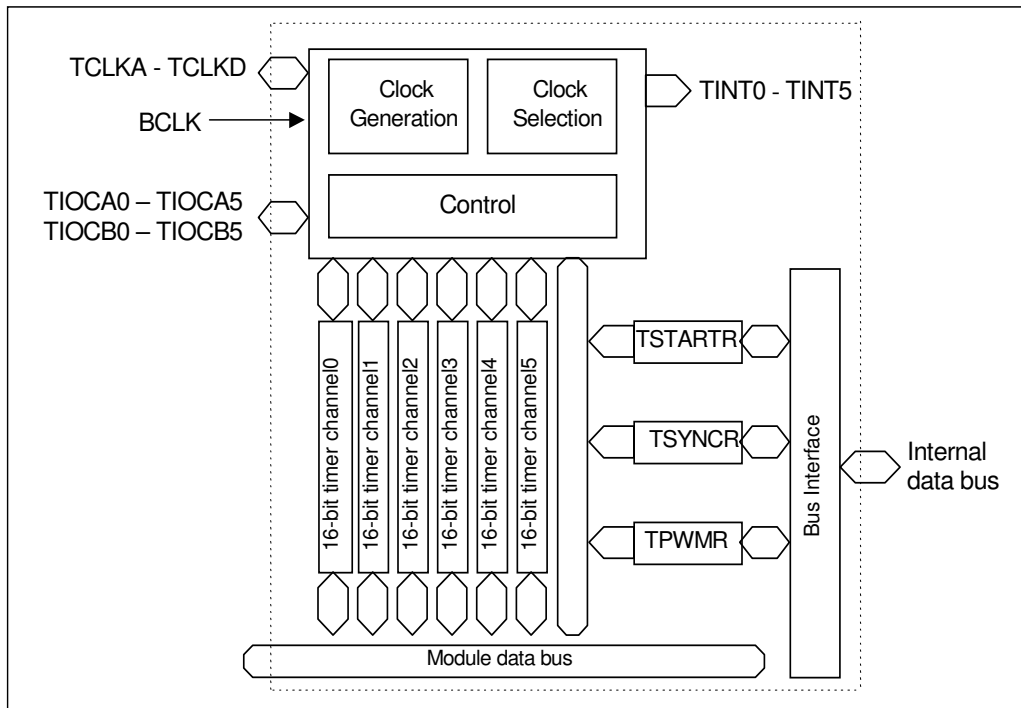


그림 8.1 타이머 채널 블럭도

### 8.1.1 범용 타이머 개요

HMS39C7092 에는 6 채널의 16 비트 범용 타이머(GPT)가 포함되어 있습니다. 카운터의 동작모드에는 “프리런”모드와 “인터벌” 모드의 두 가지로 구분되며 각 채널은 독립적인 동작모드를 갖습니다. 각 타이머 채널에 대해서 다음과 같은 공통적인 기능이 있습니다.

- 카운터 동작
- 입력 캡처
- 컴페어 매치
- PWM 출력
- 동기 클리어 및 라이트

모든 채널에 대해서 내부 및 외부의 총 8 개의 클럭 소스를 선택할 수 있습니다.

- 내부 클럭 : 클럭의 상승 에지에서 증가 또는 감소
  - BCLK / 2
  - BCLK / 4
  - BCLK / 16
  - BCLK / 64
- 외부 클럭: 클럭의 상승 에지에서 증가 또는 감소

타이머 블록에는 6 개의 독립적인 동작모드가 있습니다. 각 동작모드는 아래에 기술되어 있습니다.

- 프리런 모드
- 컴페어 매치 모드
- 입력 캡처 모드
- 동기 클리어 및 라이트 모드
- PWM(Pulse Width Modulation) 모드

카운터의 클리어 소스는 사용자의 선택에 의해서 4 개로 구분됩니다.

- None : 프리런 모드에서 오버플로우가 발생할 때 까지 클리어되지 않음
- GRA 매치 또는 입력 캡처
- GRB 매치 또는 입력 캡처
- 동기화된 클리어

## 8.2 범용 타이머 메모리 맵

### 8.2.1 레지스터

타이머 블록의 기준 어드레스는 **0x0900\_1300** 이며 기준 어드레스로부터의 오프셋은 고정되어 있습니다.

표 8.1 타이머 블록 레지스터 맵

REG.	I/O OFFSET	DIR.	DESCRIPTION
TSTARTR	0x1300	R/W	채널 별 카운터 시작 레지스터
TSYNCR	0x1304	R/W	동기화 모드 설정 레지스터
TPWMR	0x1308	R/W	PWM 기능 설정 레지스터
-	0x130C	-	(예약)
-	0x1310	-	(예약)
-	0x1314	-	(예약)
-	0x1318	-	(예약)
-	0x131C	-	(예약)

표 8.2 채널 별 레지스터 맵

REG.	I/O OFFSET	DIR.	DESCRIPTION
TCR0	0x1320	R/W	타이머 0 설정 레지스터
TIOCR0	0x1324	R/W	타이머 0 입·출력 제어 레지스터
TIER0	0x1328	R/W	타이머 0 인터럽트 제어 레지스터
TSR0	0x132C	R	타이머 0 인터럽트 상태 레지스터
TCNT0	0x1330	R/W	타이머 0 카운터 레지스터
GRA0	0x1334	R/W	타이머 0 레지스터 A
GRB0	0x1338	R/W	타이머 0 레지스터 B

6 개 타이머 채널의 기준 어드레스는 아래와 같습니다.

표 8.3 각 채널의 기준 어드레스

타이머 No.	기준 어드레스
타이머 0	0x1320
타이머 1	0x1340
타이머 2	0x1360
타이머 3	0x1380
타이머 4	0x13A0
타이머 5	0x13D0

## 8.2.2 범용 타이머 레지스터 설명

타이머부의 기준 어드레스는 **0x0900\_1300** 이며 사용되는 레지스터에 대한 설명은 다음을 참조하여 주십시오.

### 8.2.2.1 타이머 글로벌 컨트롤 레지스터

#### TSTARTR 타이머 스타트 레지스터 (0x0900\_1300 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
TSTARTR	Reserved	res	res	STR5	STR4	STR3	STR2	STR1	STR0	
Reset	-	1	1	0	0	0	0	0	0	0

초기 값 : 0xFFFFFFFF00

**STR<sub>n</sub>**            1 : 타이머 채널 n 카운트 시작  
                       0 : 타이머 채널 n 카운트 멈춤

각 채널의 카운터 동작을 제어하는 8 비트의 읽고 쓰기가 가능한 레지스터입니다. 비트 값이 '1'이면 타이머의 카운터가 동작하고 '0'이면 카운터 동작이 정지합니다.

#### TSYNCR 타이머 동기 레지스터 (0x0900\_1304 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
TSYNCR	Reserved	res	res	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
Reset	-	1	1	0	0	0	0	0	0	0

초기 값 : 0xFFFFFFFFC0

**SYNC<sub>n</sub>**            1 : 동기화 모드로 설정된 타  
                       채널과 함께 동기화 모드로 동작  
                       0 : 채널 별로 독립적 동작

타이머 채널의 동기화 모드를 선택하는 8 비트의 읽고 쓰기가 가능한 레지스터입니다.

#### TPWMR 타이머 PWM 모드 레지스터 (0x0900\_1308 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
TPWMR	Reserved	res	res	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	
Reset	-	1	1	0	0	0	0	0	0	0

초기 값 : 0xFFFFFFFF00

**PWM<sub>n</sub>**            0 : 채널 n 일반 타이머 동작  
                       1 : 채널 n PWM 모드 동작

각 채널에 대한 PWM 모드 동작 여부를 설정하는 8 비트의 읽고 쓰기가 가능한 레지스터입니다.

8.2.2.2 타이머 채널 컨트롤 레지스터

TCR0

타이머 0 컨트롤 레지스터 (0x0900\_1320 R/W)

0x1340 타이머 1, 0x1360 타이머 2, 0x1380 타이머 3, 0x13A0 타이머 4, 0x13D0 타이머 5

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
TCR0	Reserved		res	CCLR		res	res	TPSC		
Reset	-		1	00		1	1	000		

초기 값 : 0xXXXXXX90

- CCLR** 카운터 클리어 조건 선택  
 00 : 프리런 모드. 클리어 되지 않음.  
 01 : GRA 컴페어 매치 또는 입력 캡처 (인터벌 모드)  
 10 : GRB 컴페어 매치 또는 입력 캡처 (인터벌 모드)  
 11 : 다른 채널에 동기 되어 클리어
- TPSC** 카운터 클럭 소스 선택  
 000 : BCLK/2  
 001 : BCLK/4  
 010 : BCLK/16  
 011 : BCLK/64  
 100 : 외부 TCLKA 핀 입력  
 101 : 외부 TCLKB 핀 입력  
 110 : 외부 TCLKC 핀 입력  
 111 : 외부 TCLKD 핀 입력

각 채널의 클럭 소스와 클리어 조건을 선택하는 8 비트의 읽고 쓰기가 가능한 레지스터입니다.



## TIOCR0

타이머 0 I/O 컨트롤 레지스터 (0x0900\_1324 R/W)

0x1344 타이머 1, 0x1364 타이머 2, 0x1384 타이머 3, 0x13A4 타이머 4, 0x13D4 타이머 5

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
TIOCR0	Reserved		res	IOB			res	IOA		
Reset	-		1	00		1	1			000

초기 값 : 0xXXXXXX88

**IOB** GRB 기능 선택

- 000 : 컴페어 매치 이벤트 발생시 타이머 출력 무시
- 001 : GRB 컴페어 매치 이벤트 발생시 타이머 출력 '0' 발생
- 010 : GRB 컴페어 매치 이벤트 발생시 타이머 출력 '1' 발생
- 011 : GRB 컴페어 매치 이벤트 발생시 타이머 출력 반전
- 100 : 타이머 입력의 상승 에지에서 GRB 캡처 실시
- 101 : 타이머 입력의 하강 에지에서 GRB 캡처 실시
- 110 : 상승/하강 에지에서 GRB 캡처 실시
- 111 : 예약

**IOA** GRA 기능 선택

- 000 : 컴페어 매치 이벤트 발생시 타이머 출력 무시
- 001 : GRA 컴페어 매치 이벤트 발생시 타이머 출력 '0' 발생
- 010 : GRA 컴페어 매치 이벤트 발생시 타이머 출력 '1' 발생
- 011 : GRA 컴페어 매치 이벤트 발생시 타이머 출력 반전
- 100 : 타이머 입력의 상승 에지에서 GRA 캡처 실시
- 101 : 타이머 입력의 하강 에지에서 GRA 캡처 실시
- 110 : 상승/하강 에지에서 GRA 캡처 실시
- 111 : 예약

**GRA, GRB** 두 레지스터를 “출력 컴페어” 용으로 쓸 지 “입력 캡처” 용으로 쓸 지를 선택하는 8 비트의 읽고 쓰기가 가능한 레지스터로 **TIOCA<sub>n</sub>** and **TIOCB<sub>n</sub>** 편의 기능을 제어합니다. **TIOCR<sub>n</sub>** 은 **GRA** 와 **GRB** 의 관련 출력을 제어합니다.

**TIER0**

**타이머 0 인터럽트 인에이블 레지스터 (0x0900\_1328 R/W)**

0x1348 타이머 1, 0x1368 타이머 2, 0x1388 타이머 3, 0x13A8 타이머 4, 0x13D8 타이머 5

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0	
<b>TIER0</b>	Reserved		Reserved					OVFIE	MCIBE	MCIAE	
Reset	-	1	1	1	1	1	1	0	0	0	

초기 값 : 0xXXXXXXX0

- OVFIE** 0 : 오버플로우 인터럽트 발생 금지  
1 : 오버플로우 인터럽트 발생 가능
- MCIBE** 0 : GRB 매치 또는 GRB 캡처 인터럽트 발생 금지  
1 : GRB 매치 또는 GRB 캡처 인터럽트 발생 가능
- MCIAE** 0 : GRA 매치 또는 GRA 캡처 인터럽트 발생 금지  
1 : GRA 매치 또는 GRA 캡처 인터럽트 발생 가능

각 타이머 채널은 (1)오버플로우가 발생했을 때 (2)GRA 에 대해 컴페어 매치/입력 캡처가 발생했을 때 (3)GRB 에 대해 컴페어 매치/입력 캡처가 발생했을 때 등 3 경우에 대해 인터럽트 요청을 할 수 있는데 TIERn 은 인터럽트의 발생을 제어하는 3 비트의 읽고 쓰기가 가능한 레지스터입니다.  
발생된 인터럽트를 클리어시키기 위해서는 TSRn 레지스터의 값을 읽어주어야 합니다.

**TSR0**

**타이머 0 상태 레지스터 (0x0900\_132C 읽기전용)**

0x134C 타이머 1, 0x136C 타이머 2, 0x138C 타이머 3, 0x13AC 타이머 4, 0x13DC 타이머 5

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0	
<b>TSR0</b>	Reserved		Reserved					OVFI	MCIB	MCIA	
Reset	-	1	1	1	1	1	1	0	0	0	

초기 값 : 0xXXXXXXX0

- OVFI** 0 : 오버플로우 발생 없음  
1 : 오버플로우 발생
- MCIB** 0 : GRB 매치 또는 캡처 발생 없음  
1 : GRB 매치 또는 캡처 발생
- MCIA** 0 : GRA 매치 또는 캡처 발생 없음  
1 : GRA 매치 또는 캡처 발생

카운터의 오버플로우 발생이나 GRA/GRB 레지스터의 컴페어 매치 또는 캡처 이벤트의 발생정보를 저장하고 있는 3 비트의 읽기만 가능한 레지스터로 각 플래그는 인터럽트의 소스가 됩니다. 또한 본 레지스터를 읽음으로써 인터럽트가 클리어 됩니다.

**TCNT0****타이머 0 카운터 (0x0900\_1330 R/W)**

0x1350 타이머 1, 0x1370 타이머 2, 0x1390 타이머 3, 0x13B0 타이머 4, 0x13E0 타이머 5

	b31	b16	B15	b14	b13	b12	b11	b10	b9	b8	B7	b6	b5	b4	b3	b2	b1	b0
<b>TCNT0</b>	Reserved							TCNT										
Reset	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0xXXXX0000

**TCNT** 16 비트 카운터 값

16 비트 카운터로 읽고 쓰기가 가능하며 클럭 소스는 각 채널의 TCR 레지스터에 의해 결정됩니다. TCNT 는 GRA,GRB 컴페어 매치 또는 입력 캡처 이벤트에 의해 0x0000 로 초기화되며 오버플로우가 발생하면 TSR 의 OVFI 플래그가 '1'이 됩니다.

**범용 레지스터 A,B**

16 비트의 읽고 쓰기가 가능한 레지스터로 각 채널당 GRA,GRB 2 개가 있으며 총 12 개가 존재합니다. TIOCR 의 설정 값에 따라 (1)출력 컴페어 레지스터 또는 (2) 입력 캡처 레지스터로 사용됩니다.

**GRA0****범용 레지스터 A (0x0900\_1334 R/W)**

0x1354 타이머 1, 0x1374 타이머 2, 0x1394 타이머 3, 0x13B4 타이머 4, 0x13E4 타이머 5

	b31	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>GRA0</b>	Reserved							GRA										
Reset	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0xFFFFFFFF

**GRA** 16 비트 타이머 레지스터 A 값**GRB0****범용 레지스터 B (0x0900\_1338 R/W)**

0x1358 타이머 1, 0x1378 타이머 2, 0x1398 타이머 3, 0x13B8 타이머 4, 0x13E8 타이머 5

	b31	b16	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>GRB0</b>	Reserved							GRB										
Reset	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

초기 값 : 0xFFFFFFFF

**GRB** 16 비트 타이머 레지스터 B 값

### 8.3 범용 타이머의 동작

채널당 6 개의 독립적인 동작모드가 있으며 각 동작모드는 아래와 같습니다.

- 프리런 (free-run)
- 컴페어 매치 (compare-match)
- 입력 캡처 (input-capture)
- 동기 클리어 카운트 (synchronous-clear-and-count)
- 진폭 변조 (PWM: Pulse Width Modulation)

### 8.3.1 프리런 모드

리셋 후 모든 타이머 채널은 프리런 모드가 됩니다. TSTARTR 레지스터의 해당 채널 비트가 '1'이 되면 선택된 채널은 프리런 모드로 동작하며 클럭마다 증가합니다. 카운터 값이 0xFFFF 에서 0x0000 으로 변하면 TSR 의 오버플로우 플래그 (OVF)가 '1'이 됩니다. 이때 같은 채널의 TIER 레지스터의 OVFIE 필드가 '1' 이면 CPU 에 인터럽트를 요청합니다. TCNT 에 오버플로우가 발생하면 카운터는 0x0000 에서부터 다시 증가하기 시작합니다. **그림 8.2** 는 프리런 모드의 동작 예를 보여줍니다.

TCNT 의 클리어 소스로 “컴페어 매치” 를 설정했을 카운터는 인터벌 카운트 모드로 동작합니다. 즉, TCR 의 CCLR1 과 CCLR0 필드 값을 변경해서 카운터의 클리어 소스를 정하고 GRA/GRB 레지스터에 원하는 주기 값을 써넣습니다. 레지스터 설정 후 TSTARTR 의 값이 '1'이 되면 타이머는 증가하며 인터벌 카운터로 동작합니다. 카운터 값이 GRA 또는 GRB 와 일치하게 되면 TSR 의 MCIA/MCIB 플래그가 '1'이 되며 카운터는 자동적으로 0x0000 으로 클리어됩니다. 이때 TIER 의 MCIAE 또는 MCIBE 비트가 '1'이면 CPU 에 인터럽트를 요청합니다. 컴페어 매치 후에 TCNT 는 0x0000 부터 증가하기 시작합니다. **그림 8.3** 은 인터벌 카운터의 동작 예를 보여줍니다.

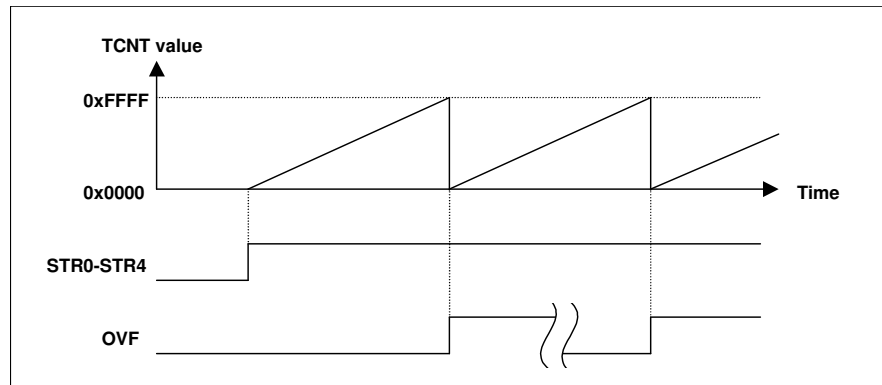


그림 8.2 프리런 모드의 동작

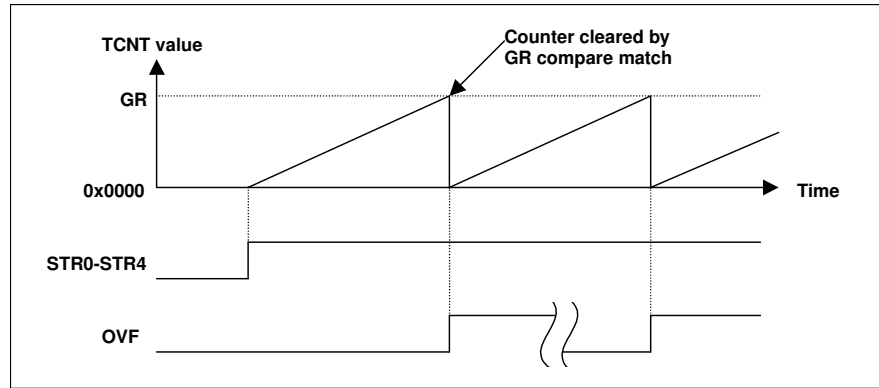


그림 8.3 인터벌 카운터 모드의 동작

## 8.3.2 컴퍼어 매치 모드

각 채널은 GRA와 GRB 레지스터를 가지고 있으며 각각 읽고 쓰기가 가능합니다. 앞서 설명했듯이 GRA 또는 GRB 값을 설정한 후 카운터 값이 설정한 값과 일치하게 되면 그 채널은 인터럽트를 발생시키고 레지스터 설정에 의해 외부출력(TIOCA와 TIOCB)을 발생시킨다. 출력 값은 '1', '0' 또는 반전 값이 됩니다. 카운터 값은 0x0000으로 초기화됩니다.

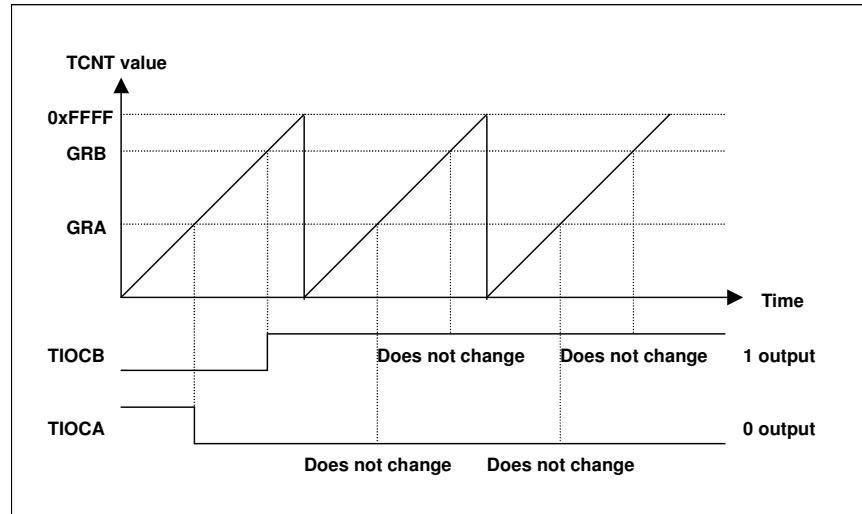


그림 8.4 타이머 출력 0,1 예

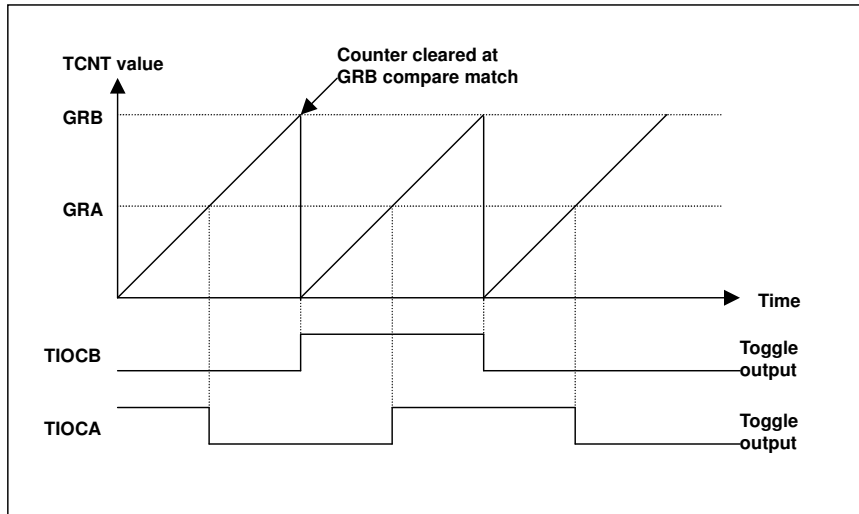


그림 8.5 타이머 출력 반전 예

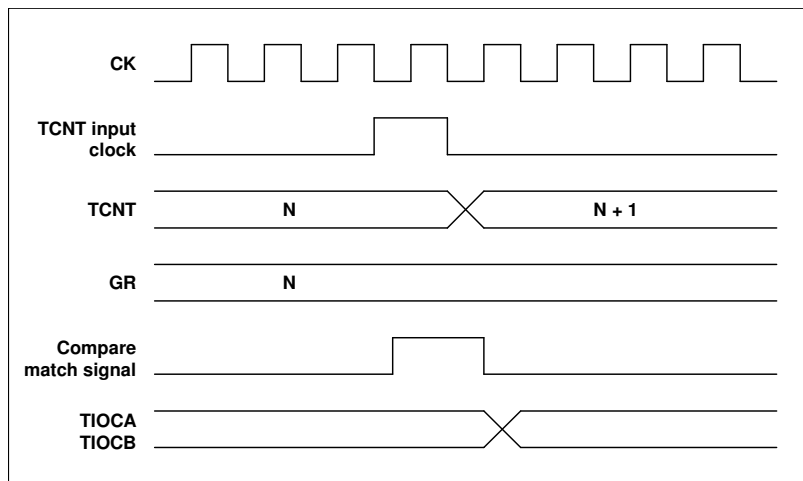


그림 8.6 컴페어 매치 기능 동작의 타이밍



## 8.3.3 입력 캡처 모드

입력 캡처 모드일 때에는, 캡처 입력인 TIOCA 또는 TIOCB 의 상승 또는 하강 에지에서 카운터 값이 GRA 또는 GRB 로 전달됩니다. 또한 TIER 의 MCIAE 또는 MCIEB 비트 값이 '1'이면 외부 캡처 신호에 의해 인터럽트가 발생합니다. TCR 의 CCLR 필드 값에 따라서 TIOCA 또는 TIOCB 의 에지에 카운터 값이 클리어됩니다.

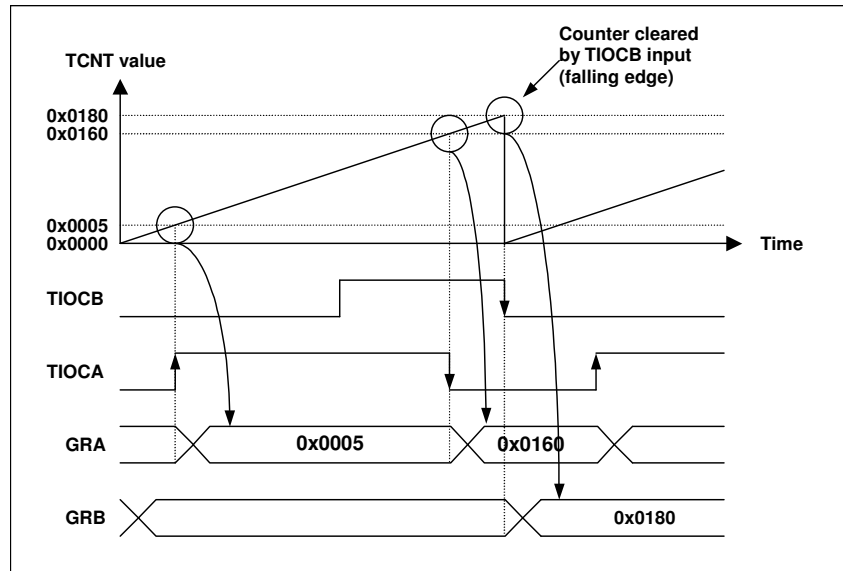


그림 8.7 입력 캡처 모드의 동작 예

## 8.3.4 동기 클리어 카운트 모드

몇몇 타이머 채널이 동기화 모드로 설정되어있고, 그 중 한 채널이 컴페어 매치나 입력 캡처 등으로 클리어 되면 동기화 되어있는 나머지 채널들도 동시에 클리어 됩니다. 이 모드에서는 한 채널의 TCNT 에 값을 쓰면 동기화된 다른 채널에도 같은 값이 동시에 써집니다.

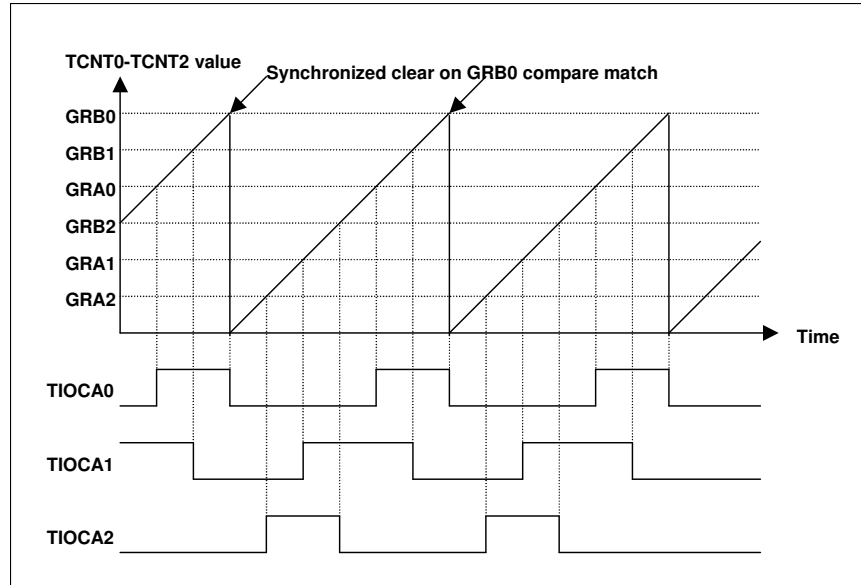


그림 8.8 동기화 모드 동작의 예

### 8.3.5 진폭 변조(PWM) 모드

GRA 와 GRB 레지스터 값에 의해 PWM 파형의 주기가 결정됩니다. TIOCA 핀을 통해 PWM 파형이 출력됩니다. PWM 모드에서는 카운터 값이 GRA 에 설정된 값과 같아지면 '1'이 출력되고 GRB 의 값과 일치하면 '0'이 출력됩니다. 카운터의 클리어 소스가 GRA 또는 GRB 컴페어 매치로 설정될 수 있으므로 적절한 값을 레지스터에 쓰면 듀티가 0% 또는 100%인 PWM 출력을 얻을 수 있습니다. 모든 채널이 PWM 모드로 설정될 수 있습니다.

#### 8.3.5.1 진폭 변조(PWM) 모드의 동작

그림 8.9 은 PWM 모드의 동작 예를 보여줍니다. PWM 모드일 때에는 TIOCA 핀이 출력 핀으로 할당됩니다.

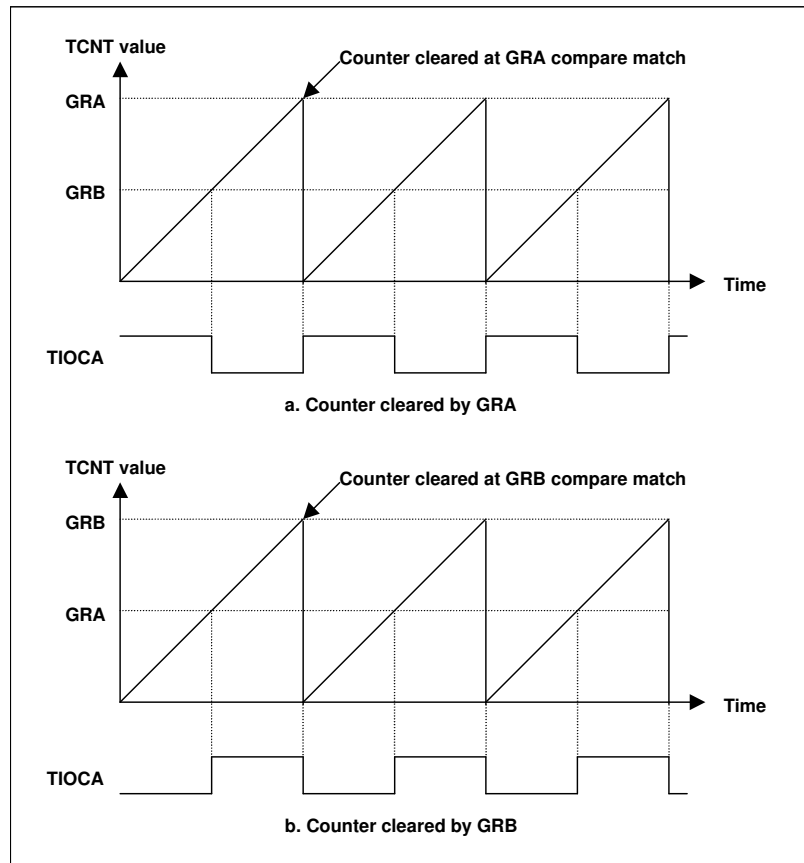


그림 8.9 PWM 모드 동작의 예 1

그림 8.10 은 듀티가 0%, 100%인 PWM 파형을 보여 줍니다. 듀티가 0% 인 파형은 GRB 컴페어 매치를 클리어 입력으로 사용하고 GRA 값을 GRB 보다 크게 설정하면 얻을 수 있습니다. 듀티가 100% 인 파형은 카운터 클리어 입력으로 GRA 컴페어 매치를 사용하고 GRB 값을 GRA 보다 크게 설정하면 됩니다.

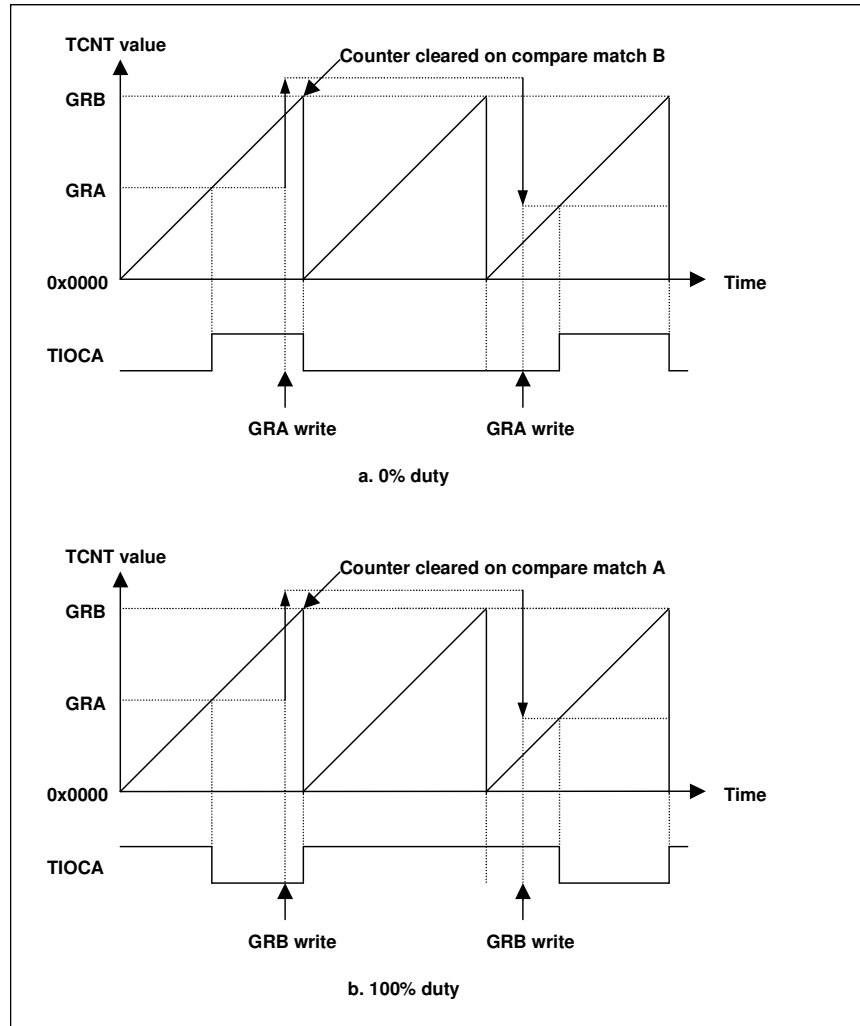


그림 8.10 PWM 모드 동작의 예 2

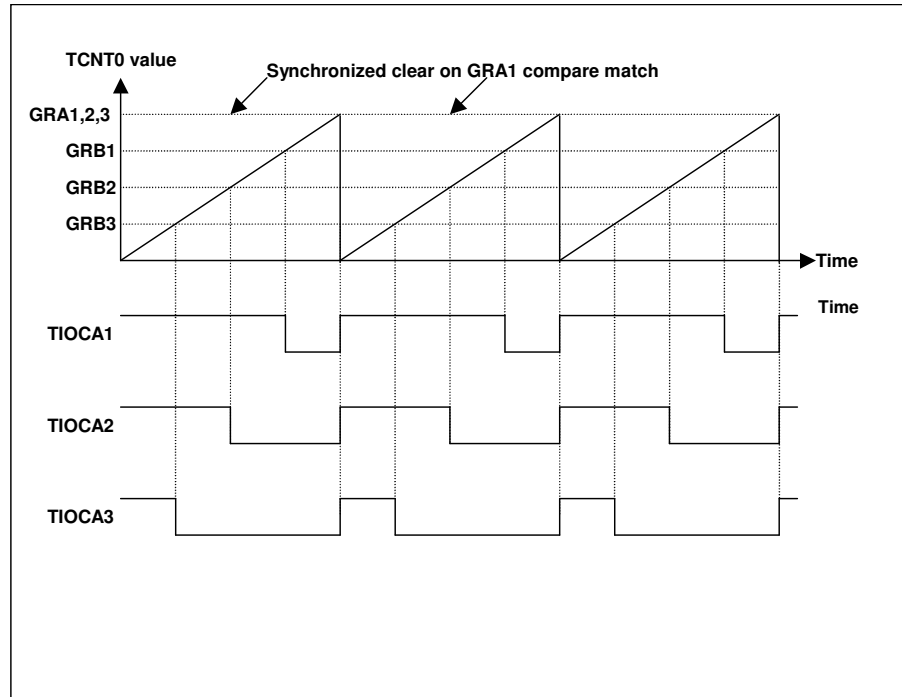


그림 8.11 리셋 동기 PWM 모드 동작의 예

#### 리셋 동기 PWM 모드(Reset-Synchronized PWM 모드)의 동작

그림 8.11 은 리셋 동기 PWM 모드로 동작하는 예입니다. TCNT1 은 GRA1 컴페어 매치에 의해 클리어 되도록 설정하고 다른 채널들은 동기화 모드로 동작하게 하여 출력이 동시에 '0'이 되게 합니다. 이 때 각 채널들의 GRB 값들은 동일해야 합니다.



제9장

비동기 직렬 통신 포트 (UART)

9.1 개요

내장된 UART(Universal Asynchronous Receiver/Transmitter)는 FIFO 를 가지고 있으며, 초기 설정으로 기능적으로 16450 과 동일한 바이트 모드(FIFO 를 사용하지 않는 모드)가 됩니다. 그리고 송수신의 과도한 CPU 의 부하를 줄이기 위해서 16550 과 같이 FIFO 모드로 설정도 가능합니다. FIFO 모드에서는 16 바이트의 데이터가 송수신 FIFO 에 각각 저장될 수 있습니다.

UART 는 외부의 직렬 데이터를 받아서 저장하고, CPU 에서 내부 버스를 통해 받은 데이터를 직렬 데이터로 변환해서 외부로 전송합니다. CPU 는 내부 버스를 통해 UART 가 동작하는 중에 언제라도 다음에 전송할 데이터를 UART 에 전달할 수 있으며, 이전에 수신한 데이터나 현재의 UART 상태를 읽을 수 있습니다. UART 의 상태 정보에는 지금 UART 에 의해 실행되고 있는 송수신의 설정이나 상태뿐만 아니라 데이터를 받을 때의 오류 발생 여부도 점검이 가능합니다(패리티, 오버런, 프레임, 브레이크 등).

UART0/1 각각에는 프로그래머블한 보레이트 제네레이터가 있어서 입력 기준 클럭을 1 에서 65535 까지의 값으로 분주할 수 있으며, 이렇게 분주된 클럭을 다시 16 분주해서 UART 의 내부 송수신부를 구동하는 클럭 만든다. 또한 별도 8 비트 프리스케일러가 내장되어 있어서 UART 부 입력 클럭을 분주할 수 있습니다.

또한 사용자에게 의해서 프로그래머블한 인터럽트 설정이 가능하며, UART 와의 통신을 위해 인터럽트를 발생하여 CPU 의 동작을 최적화 할 수 있습니다. 범용의 16450/16550 은 모뎀 제어 신호 및 관련 레지스터를 가지고 있으나 HMS39C7092 에는 포함되지 않았습니다.

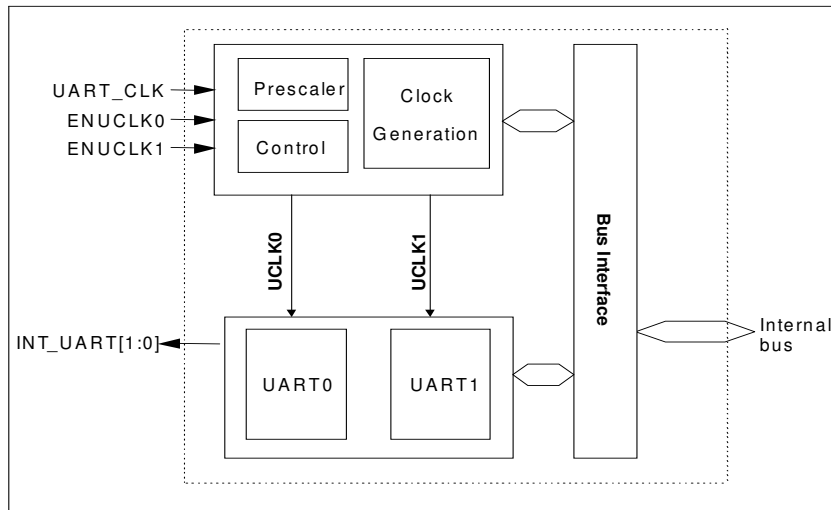


그림 9.1 UART 의 블럭도



## 9.2 특징

- 16550 과의 완전한 호환성(모뎀 제어 기능 제외).
- CPU 처리 성능 향상을 위한 16 바이트씩의 송수신 FIFO 모드 지원.
- 표준 비동지 통신 비트 (start, 스톱, and 패리티) 을 추가하거나 제거 가능함.
- 독립적으로 조절 가능한 송신,수신, 라인 스테이터스, 데이터 셋 인터럽트.
- 1 에서 65535 까지 분주값을 설정 가능한 프로그래머블 보레이트 제네레이터
- 입력 클럭을 8 비트 프리스케일러 값으로 분주
- 프로그램가능한 직렬 인터페이스 설정
  - 5-, 6-, 7- 혹은 8-비트 데이터 캐릭터
  - Even, odd, 혹은 no-패리티 비트 생성과 검출
  - 1-, 1.5- 혹은 2-스톱 비트 생성과 검출
  - 보레이트 제네레이터
- 시작 비트 에러 검출.
- 현재 상태에 대한 정보 표시.
- 라인 브레이크 생성과 검출.
- 내부적인 진단 기능.
- 루프백 제어
- 우선순위에 의한 인터럽트 시스템

## 9.3 UART 신호들의 정의

표 9.1 신호 설명

명칭	방향	설명
RxD0	I	직렬 입력 데이터 0
RxD1	I	직렬 입력 데이터 1
TxD0	O	직렬 출력 데이터 0 (초기 리셋 시 'H' 상태)
TxD1	O	직렬 출력 데이터 1 (초기 리셋 시 'H' 상태)

9.4 UART 내부 블록도

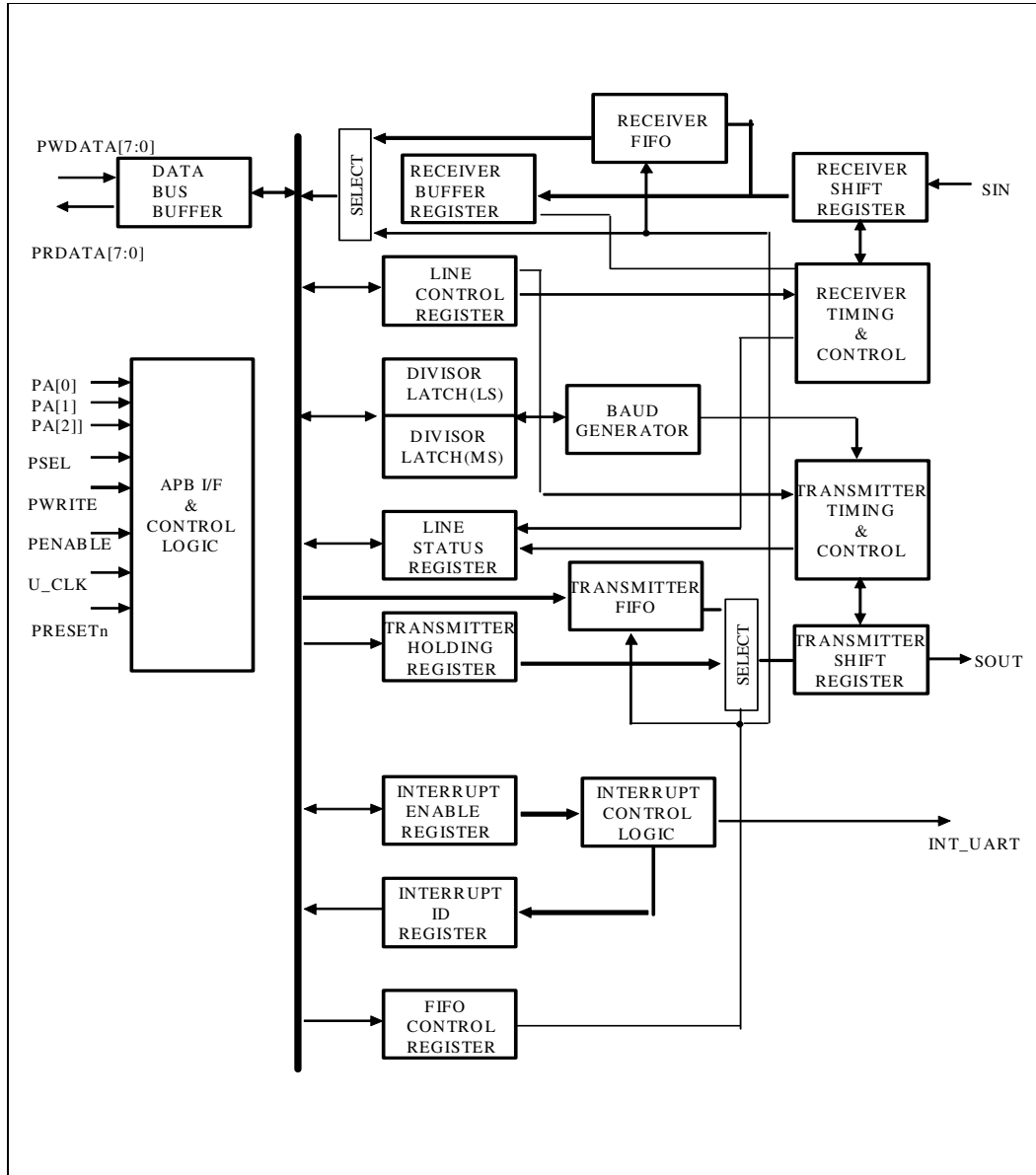


그림 9.2 UART의 내부 블록도

### 9.5 UART의 레지스터에 대한 설명

HMS39C7092 에는 2 개의 UART 가 있습니다. UART0 의 기준 어드레스는 0x0900\_1400 이며, UART1 의 기준 어드레스는 0x0900\_1500 입니다.

**표 9.2 UART 레지스터의 종류와 주소**

Reg. Name	Addr. Offset	Dir,	Description
RBR	0x1400	R	수신 버퍼 (DLAB = 0)
THR	0x1400	W	송신 홀드 (DLAB = 0)
IER	0x1404	R/W	인터럽트 이네이블
IIR	0x1408	R	인터럽트 ID
FCR	0x1408	W	FIFO 제어
LCR	0x140C	R/W	라인 제어
MCR	0x1410	R/W	모뎀 제어 레지스터
LSR	0x1414	R/W	라인 스테이터스
MSR	0x1418	-	예약
SCR	0x141C	R/W	스크래치 레지스터
DLL	0x1400	R/W	분주기 래치 LSB (DLAB = 1)
DLM	0x1404	R/W	분주기 래치 MSB (DLAB = 1)
CLKCR	0x1420	R.W	프리스케일러 클럭 제어
CLKDR	0x1424	R/W	프리스케일러 분주기

**표 9.3 UART 레지스터의 초기화 값**

Reg.	초기값
IER	0x00
IIR	0x01
FCR	0x00
LCR	0x00
LTR	0x00
LSR	0x60
CLKCR	0
CLKDR	0x00
TxD	'H'

## UART

## Flash MCU(HMS39C7092)

### CLKCR 클럭 제어 레지스터 (0x1420 R/W)

	b31	b8	b7	b6	b5	B4	b3	b2	b1	b0	
CLKCR	Reserved			Reserved						CKEN	
Reset	-			-						0	

초기값 : 0xXXXXXX00

**CKEN** 0: UART 클럭 비활성화  
1: UART 클럭 활성화

읽고 쓰기가 가능한 레지스터인 UART 클럭 제어 레지스터(CLKCR)는 입력 클럭이 UART0/1 으로 입력을 시작하게 하거나 중단하게 하는 역할을 합니다. CLKCR 의 0 번째 비트인 CKEN 이 '1'이 되면 UART 입력 클럭이 프리스케일러(CLKDR)에 의해 분주되어 UART 로 입력됩니다. CKEN 이 '0'가 되면 프리스케일러가 동작을 중단하고 UART0/1 으로 입력되는 클럭이 디세이블됩니다.

### CLKDR 클럭 분주 레지스터 (0x1424 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
CLKDR	Reserved			CKDIV						
Reset	-			00						

초기값 : 0xXXXXXX00

**CKDIV** 8 비트 UART 프리스케일 값

HMS39C7092 에는 시스템 클럭을 입력 받아서 클럭 분주 레지스터(CLKDR)에 쓰여진 1 에서 255 까지의 값으로 분주된 UART 입력 클럭(그림 9.1 의 UCLK0/1)을 만들어 내는 프리스케일러가 있습니다. CLKDR 은 2 에서 255 까지의 값으로 설정 가능하며, '0'혹은 '1'이 써질 경우에 프리스케일러는 CLKCR 의 값에 상관없이 디세이블됩니다. 프리스케일러의 올바른 동작을 위해서는 CLKDR 이 특정한 값으로 먼저 쓰여진 후에 CLKCR 의 CKEN 비트가 '1'로 되어야 합니다.

## LCR Line 제어 레지스터 (0x1400 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
LCR	Reserved		DLAB	BREAK	STICKP	PARITY	PEN	STOPBIT	DLEN	
Reset	-		0	0	0	0	0	0	00	

초기값 : 0xXXXXXX00

- DLEN** 00: 5-비트 데이터 워드  
01: 6-비트 데이터 워드  
10: 7-비트 데이터 워드  
11: 8-비트 데이터 워드
- STOPBIT** 0: 1 스톱 비트  
1: 1.5/2 스톱 비트
- PEN** 0: 패리티 비트사용 없음  
1: 패리티 비트 사용
- PARITY** 0: 홀수 패리티  
1: 짝수 패리티
- STICKP** 0: 패리티 비트를 '0'으로 고정  
1: 패리티 비트를 '1'로 고정
- BREAK** 0: 일반 데이터 전송  
1: 브레이크 전송
- DLAB** 0: 일반 레지스터 모드  
1: 분주기 래치 모드

라인 제어 레지스터(LCR)을 통해 비동기 데이터 송수신의 형식을 정하거나 보레이트 제네레이터의 분주값인 분주기 래치에 쓰기 선택 비트인 분주기 액세스 비트(DLAB)을 제어할 수 있습니다. LCR 은 읽고 쓰기가 모두 가능한 레지스터로 비동기 데이터 송수신 선로의 현재 형식을 따로 시스템 메모리에 저장해 놓을 필요가 없습니다.

아래는 LCR 의 각 비트에 대한 구체적인 설명입니다.

- DLEN** 하나의 송수신 데이터 워드의 비트 수를 정하는데 쓰입니다.
- STOPBIT** 송수신 캐릭터의 마지막에 붙는 스톱 비트의 개수를 정의하는 비트입니다. 이 비트가 '0'이면 1 개의 스톱 비트가 송신 데이터의 제일 마지막에 붙습니다. 만약 이 비트가 '1'일 때, DLEN 에 의해 5 비트로 워드 길이가 정해졌다면 1.5 개의 스톱이 송신 데이터의 제일 마지막에 붙고 나머지 6, 7 또는 8 비트의 워드 길이일 경우는 스톱 비트 개수는 2 비트가 됩니다. 수신단에서는 DLEN 과 STOPBIT 에 의해 선택된 스톱 비트 개수에 상관없이 첫번째 스톱 비트만 검사합니다.
- PEN** 이 비트는 패리티 이네이블 비트입니다. PEN 이 '1'이면, 송신의 경우 마지막 데이터 워드 비트와 스톱 비트사이에 패리티 비트가 생성되고, 수신은 경우는 마지막 데이터 워드 비트와 스톱 비트사이의 패리티 비트를 검사하게 됩니다. (패리티 비트는 데이터 워드 비트와 패리티 비트에 있는 '1'의 개수가 PARITY 와 STICKP 비트의 설정에 따라 짝수 혹은 홀수가 될 수 있도록 '0'혹은 '1'의 값으로 생성됩니다.)
- PARITY** 이 비트는 짝수 패리티 선택 비트입니다. PEN 이 '1'이고 패리티가 '0'이면 데이터 워드 비트와 패리티 비트 상에 있는 '1'의 개수가 홀수이어야 합니다. PEN 이 '1'이고 패리티가 '1'이면 데이터 워드 비트와 패리티 비

트 상에 있는 '1'의 개수가 짝수이어야 합니다.

**STICKP** 이 비트는 스틱 패리티 비트입니다. PEN, PARITY 그리고 STICKP 가 모두 '1'이면 패리티 비트는 항상 '0'이어야 합니다. 만약 PEN 과 STICKP 가 '1'이고 패리티가 '0'이면 패리티 비트는 항상 '1'이 되어야 합니다. STICKP 가 '0'이면 스틱 패리티가 디세이블됩니다.

**BREAK** 이 비트는 브레이크 제어 비트입니다. BREAK 가 '1'이면, 직렬 출력 (TxD)이 '0'(spacing state)로 구동됩니다. 브레이크 조건은 BREAK 비트를 '0'로 함으로써 클리어됩니다.

**DLAB** 이 비트는 분주기 래치 액세스 비트입니다. 보레이트 제네레이터를 제어 하기 위해 분주기 래치를 읽고 쓰기 위해서는 이 비트가 '1'으로 되어야 합니다. 수신 버퍼, 송신 홀드 레지스터 그리고 인터럽트 이네이블 레지스터에 접근하기 위해서는 DLAB 은 '0'가 되어야 합니다.

**DLL/DLM 분주기 래치 레지스터 (0x1400/0x1404 R/W)**

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0	
<b>DLL</b>	Reserved							DLL			
Reset	-							00			
	초기값 : 0xXXXXXX00										
	<b>DLL</b> 분주기 래치 하위 바이트										

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0	
<b>DLM</b>	Reserved							DLM			
Reset	-							00			
	초기값 : 0xXXXXXX00										
	<b>DLM</b> 분주기 래치 상위 바이트										

UART 에는 버스 클럭을 2 에서 65535 까지의 분주값으로 분주할 수 있는 프로그래머블 보레이트 제네레이터가 있습니다.(분주값이 '1'인 경우 가장 높은 입력 클럭 주파수) 보레이트 제네레이터의 출력 클럭 주파수는 16 x baud rate 입니다. 따라서 분주값은 [ 입력 클럭 주파수 / (baud rate x 16)]이 됩니다. 분주값은 두 개의 8 비트 랫치에 16 비트 이진 형식으로 저장됩니다. 보레이트 제네레이터가 올바르게 동작하기 위해서는 분주기 래치는 UART 동작 전 초기에 적절한 값으로 쓰여져야 합니다.

**표 9.4**는 외부 입력 클럭 주파수로 33 MHz 와 50 MHz 가 쓰였을 경우 각 보레이트에서의 프리스케일러 값, 보레이트 제네레이터 분주값과 송수신 에러율을 나타냅니다. 입력 클럭의 주파수에 따라 보레이트의 정확도가 영향을 받습니다. 분주값으로 '0' 또는 '1'을 쓰는 것은 바람직하지 않습니다. 이밖에 표준 보레이트 생성 전용 주파수를 사용할 경우 0%의 에러값을 내게 됩니다. (예- 36.864MHz, 49.7664MHz 등)

표 9.4a 각 보레이트에 따른 분주값 (CLK=33MHz)

33 MHz			
Desired Baud Rate	Decimal Divisor Value	Prescaler Value	Error Percentage
150	86	160	0.0726%
300	43	160	0.0726%
600	43	80	0.0726%
1200	43	40	0.0726%
2400	43	20	0.0726%
4800	43	10	0.0726%
7200	9	32	0.53%
9600	43	5	0.0726%
19200	9	12	0.53%
38400	9	6	0.53%
57600	9	4	0.53%
115200	9	2	0.53%

표 9.4b 각 보레이트에 따른 분주값 (CLK=50MHz)

50 MHz			
Desired Baud Rate	Decimal Divisor Value	Prescaler Value	Error Percentage
150	144	144	0.46%
300	72	144	0.46%
600	36	144	0.46%
1200	18	144	0.46%
2400	9	144	0.46%
4800	9	72	0.46%
7200	217	2	0.006%
9600	9	36	0.46%
19200	9	18	0.46%
38400	9	9	0.46%
57600	9	6	0.46%
115200	9	3	0.46%

LSR 라인 스테이더스 레지스터 (0x1414 읽기 전용)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
LSR	Reserved		FIFOE	TEMT	THRE	BI	FE	PE	OE	DR
Reset	-	0	1	1	0	0	0	0	0	0

초기값 : 0xXXXXXX60

- DR** 0: RHR 에 읽지 않은 수신데이터 없음  
1: RHR 에 읽지 않은 수신데이터 있음
- OE** 0: 오버런 에러 발생하지 않음  
1: 오버런 에러 발생
- PE** 0: 패리티 에러 발생하지 않음  
1: 패리티 에러 발생
- FE** 0: 프레임 에러 발생하지 않음  
1: 프레임 에러 발생
- BI** 0: 브레이크 조건 발생하지 않음  
1: 브레이크 인터럽트 조건 수신
- THRE** 0: THR 에 전송할 데이터 있음  
1: THR 에 전송할 데이터 없음
- TEMT** 0: 송신단에 데이터 있음  
1: 송신단에 데이터 없음
- FIFOE** 0: FIFO 에 수신한 데이터에 에러 없음  
1: FIFO 에 수신한 데이터에 에러 존재

이 레지스터는 데이터 송수신 상태에 대한 정보를 ARM7TDMI core 에 제공하는 역할을 합니다.

LSR 의 각 비트에 대한 설명은:

- DR** 이 비트는 데이터 레디 인디케이터입니다. 한 개의 수신 데이터 바이트가 완전히 수신되어 수신 버퍼 레지스터나 수신 FIFO 에 옮겨지면 '1'로 됩니다. 수신 버퍼 레지스터나 FIFO 의 내용을 읽게 되면 DR 은 '0'로 됩니다.
- OE** 이 비트는 오버런 에러 인디케이터입니다. 이전 수신 데이터가 수신 버퍼 레지스터에서 읽혀지기 전에 다음 수신 데이터가 수신 버퍼 레지스터로 옮겨지게 되면 OE 가 '1'로 됩니다. OE 는 LSR 이 CPU 에 의해서 읽혀지게 되면 '0'으로 됩니다. FIFO 모드에서는 16 바이트의 FIFO 가 수신된 데이터로 모두 채워진 후 다음 수신 데이터가 시프트 레지스터로 완전히 수신되면 OE 가 '1'이 됩니다. 이때 시프트 레지스터에 있는 데이터는 손상되지만 FIFO 로는 전달되지 않습니다.
- PE** 이 비트는 패리티 에러 인디케이터입니다. 수신된 데이터가 LCR 에 의해 정의된 짝수나 홀수 패리티 조건을 만족하지 못할 경우 PE 가 '1'으로 됩니다. PE 는 LSR 이 CPU 에 의해서 읽혀지게 되면 '0'로 됩니다. FIFO 모드에서는 패리티 에러가 있는 데이터를 수신한 FIFO 가 최상위로 되었을 때 PE 가 '1'로 됩니다.
- FE** 이 비트는 프레임 에러 인디케이터입니다. FE 는 수신된 캐릭터가 적절한 스톱 비트를 가지지 못했음을 나타냅니다. 마지막 데이터 비트나 패리티 비트 다음에 오는 스톱 비트가 '0'으로 검출 되었을 때 FE 는 '1'으로 됩니다. FE 는 LSR 이 CPU 에 의해서 읽혀지면 '0'이 됩니다. FIFO 모드에서는 프레임 에러가 있는 데이터를 수신한 FIFO 가 최상위로 되



있을 때 PE 가 '1'로 됩니다. 프레임 에러가 발생한 후에 수신단을 다시 동기화시키기 위해서 UART 는 프레임 에러가 다음 수신 데이터 캐릭터의 시작 비트에 의해서 발생한 것이라 가정하고 다음 데이터 워드 수신을 시작합니다.

**BI** 이 비트는 브레이크 인터럽트 인디케이터입니다. 수신된 데이터 입력이 전체 입력 캐릭터 수신 시간(즉, 시작 비트, 데이터 비트, 패리티 비트, 스톱 비트 수신 시간의 합)보다 긴 시간 동안 '0'으로 되어 있었을 때 BI 가 '1'이 됩니다. BI 는 LSR 이 CPU 에 의해서 읽혀지게 되면 '0'로 됩니다. FIFO 모드에서는 브레이크 에러가 있는 데이터를 수신한 FIFO 가 최상위로 되었을 때 PE 가 '1'로 됩니다. 브레이크 조건이 발생하면 한 개의 '0' 데이터가 FIFO 에 입력됩니다. 다음 캐릭터 입력은 수신단이 '1'로 된 후 다시 새로운 시작 비트가 수신 되었을 때 시작됩니다.

**\*\* Note :** LSR 비트 1 에서 4 까지는 해당 에러 조건이 발생하고 해당 인터럽트가 활성화되어 있을 때, 수신 라인 스테이츠 인터럽트를 발생하게 합니다.

**THRE** 이 비트는 송신 버퍼 레지스터 엡티 인디케이터입니다. THRE 는 UART 가 전송을 위한 새로운 캐릭터를 CPU 로부터 받을 준비가 되었으며, 송신 버퍼 레지스터 엡티 인터럽트가 활성화되어 있을 경우 인터럽트를 발생하게 합니다. THRE 는 송신 버퍼 레지스터에서 송신 시프트 레지스터로 전송 캐릭터가 옮겨져서 송신 버퍼 레지스터에 다른 캐릭터 를 쓸 수 있게 되면 '1'이 됩니다. 또, CPU 에 의해서 새로운 캐릭터가 송신 버퍼 레지스터에 쓰여지면 '0'으로 됩니다. FIFO 모드에서는 송신 FIFO 에 하나의 캐릭터도 없으면 THRE 가 '1'이 되고 송신 FIFO 에 하나 이상의 캐릭터가 존재하면 '0'이 됩니다.

**TEMT** 이 비트는 송신기 엡티 인디케이터입니다. 송신 버퍼 레지스터(THR)와 송신 시프트 레지스터 (TSR) 모두가 비었을 경우 TEMT 는 '1'이 되고 THR 과 TSR 중 하나라도 캐릭터가 있으면 '0'으로 됩니다. FIFO 모드에서는 송신 FIFO 와 TSR 이 모두 비었을 경우에 TEMT 는 '1'이 됩니다.

**FIFOE** 16450 모드에서는 이 비트는 항상 '0'입니다. FIFO 모드에서는 적어도 하나 패리티 에러, 프레임 에러 혹은 브레이크 인디케이션이 FIFO 에 존재할 경우 '1'이 됩니다. FIFOE 는 FIFO 내에 에러가 있는 캐릭터들이 모두 읽혀지고 LSR 이 CPU 에 의해서 읽혀지고 나면 '0'으로 됩니다.

**\*\* Note :** 라인 스테이츠 레지스터 는 읽기만 가능합니다.

**FCR FIFO 제어 레지스터 (0x1408 쓰기 전용)**

	b31	b8	b7	b6	b5	B4	b3	b2	b1	b0	
<b>FCR</b>	Reserved		FIFODEPTH			Res	Res	Res	FCR2	FCR1	FIFOEN
Reset	-		00			0	0	0	0	0	0
	초기값 : 0xXXXXXX00										

- FIFOEN** 0: FIFO 사용하지 않음  
1: 송/수신 FIFO 사용
- FCR1** 0: 수신 FIFO 를 초기화되지 않음  
1: 수신 FIFO 를 초기화시킴
- FCR2** 0: 송신 FIFO 를 초기화되지 않음  
1: 송신 FIFO 를 초기화시킴
- FIFODEPTH** 수신 FIFO 의 트리거 레벨  
00: 1 바이트  
01: 4 바이트  
10: 8 바이트  
11: 14 바이트

이 레지스터는 IIR 과 같은 위치에 있는 쓰기 전용 레지스터입니다 (IIR 은 읽기 전용 레지스터임). FCR 은 FIFO 를 활성화하고 FIFO 를 클리어하며 수신 FIFO 의 트리거 레벨 을 정하는 데 쓰입니다.

- FIFOEN** 이 비트에 '1'을 씌우으로써 송신 및 수신 FIFO 가 활성화되어 UART 가 FIFO 모드로 설정됩니다. FIFOEN 을 '0'으로 쓰면 FIFO 내의 모든 캐릭터들이 지워지며 FIFO 모드에서 16450 모드로 전환하거나 그 반대의 경우 모두 FIFO 내의 캐릭터들은 자동적으로 지워지게 됩니다. FIFOEN 이 '1'로 되어 있지 않으면 FCR 의 나머지 비트들은 쓰기가 불가능합니다.
- FCR1** FCR1 에 '1'을 쓰면 수신 FIFO 의 모든 캐릭터가 지워집니다.(수신 시프트 레지스터는 지워지지 않습니다.) FCR1 에 쓰여진 '1'은 자동으로 '0'으로 클리어됩니다.
- FCR2** FCR2 에 '1'을 쓰면 송신 FIFO 의 모든 캐릭터가 지워집니다.(송신 시프트 레지스터는 지워지지 않습니다.) FCR2 에 쓰여진 '1'은 자동으로 '0'으로 클리어됩니다.
- FIFODEPTH** 이 비트들은 수신 FIFO 인터럽트의 트리거 레벨을 정하는데 쓰입니다.

**IIR** 인터럽트 ID 레지스터 (0x1408 읽기 전용)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>IIR</b>	Reserved		FIFO		Res	Res	FID	IID		IPEN
Reset	-		00		0	0	0	00		1

초기값 : 0XXXXXXXX01

**IPEN** 0: 처리해야 할 인터럽트가 존재  
1: 처리해야 할 인터럽트가 없음

**IID/FID** 인터럽트 ID 값  
(표 9.7 참조)

**FIFO** FIFO 모드로 동작 중인지 여부를 나타냄  
00: FIFO 모드가 아님  
11: FIFO 모드에서 동작 중

UART 는 3 개 레벨로 우선 순위가 있는 인터럽트를 지원하고 현재 가장 우선순위가 높은 인터럽트를 인터럽트 ID 레지스터에 기록합니다. 3 개 레벨의 인터럽트 조건은 아래와 같은 우선 순위로 설정되어 있습니다:

- 수신 라인 스테이츠 인터럽트
- 수신 데이터 레디 인터럽트 / 캐릭터 타임-아웃 인터럽트
- 송신 홀드 레지스터 엡터 인터럽트

각각의 비트에 대한 설명은 아래와 같습니다 :

**IPEN** 이 비트는 현재 처리 안된 인터럽트가 있는지 여부를 나타냅니다. IPEN 이 '0'이면 특정 인터럽트 조건이 발생했으며 IIR 의 IID 와 FID 는 인터럽트 처리 루틴의 포인터로 쓰일 수 있습니다. IPEN 이 '1'이면 처리되지 않은 인터럽트가 현재 없다는 것을 나타냅니다.

**IID** 이 두 비트는 현재 발생한 가장 높은 우선 순위의 인터럽트를 표 9.5 에 표시된 것과 같이 나타냅니다.

**FID** 16450 모드에서는 이 비트는 항상 '0'이며, FIFO 모드에서는 IID 와 함께 타임-아웃 인터럽트가 현재 발생한 가장 우선 순위가 높은 인터럽트 라는 것을 나타냅니다.

**FIFO** 이 두 개의 비트는 FCR 의 FIFOE 이 '1'일 때 '1'이 됩니다.

표 9.5 인터럽트와 각각의 인터럽트 제어 방법

우선 순위	FIFO 모드	인터럽트 Identification 레지스터				인터럽트 발생 원인과 해소 방법		
	만 사용	비트 3	비트 2	비트 1	비트 0	인터럽트 형태	인터럽트 발생원인	인터럽트 제어 방법
-	0	0	0	0	1	없음	없음	-
최상위	0	1	1	1	0	수신 라인 스테이터스	오버런 에러, 패리티 에러, 프레임 에러 혹은 브레이크 인터럽트	라인 스테이터스 레지스터를 읽음.
첫번째	0	1	0	0	0	수신 데이터 가능	수신 데이터가 수신 버퍼에 존재하거나 혹은 수신 버퍼 FIFO가 트리거 레벨에 도달함.	수신 버퍼 레지스터를 읽거나 FIFO에 저장된 데이터개수를 트리거 레벨 아래로 떨어뜨림
두번째	1	1	0	0	0	캐릭터 타임-아웃 인디케이션	수신 FIFO에 1개 이상의 수신 데이터가 존재하고 4개의 캐릭터 송수신 시간(4x[시작 비트+데이터 비트+패리티 비트+스톱 비트])동안 수신 FIFO에 캐릭터가 들어오거나 제거되지 않을 경우	수신 버퍼 레지스터를 읽음.
세번째	0	0	1	0	0	송신 홀드 레지스터 엡티	송신 홀드 레지스터에 송신할 데이터가 없음.	IIR 레지스터를 읽거나 (현재 발생한 인터럽트의 소스일 경우) 혹은 송신 홀드 레지스터에 송신할 데이터를 씴.

IEN 인터럽트 이네이블 레지스터 (0x1404 R/W)

	b31	b8	b7	b6	b5	b4	b3	b2	b1	b0
IEN	Reserved			Res				RLSIE	THREIE	DRIE
Reset	-	0	0	0	0	0	0	0	0	0

초기값 : 0xXXXXXX00

- DRIE** 0: 수신 데이터 가능 인터럽트를 비활성화  
1: 수신 데이터 가능 인터럽트를 활성화
- THREIE** 0: 송신 홀드 레지스터 엡티 인터럽트를 비활성화  
1: 송신 홀드 레지스터 엡티 인터럽트를 활성화
- RLSIE** 0: 수신 라인 스테이터스 인터럽트를 비활성화  
1: 수신 라인 스테이터스 인터럽트를 활성화

이 레지스터는 4 가지 종류의 UART 인터럽트를 활성화합니다. 각각의 인터럽트들은 인터럽트 출력 신호(그림 9.2 의 INT\_UART)를 발생시킵니다. 인터럽트 이네이블 레지스터(IER)의 모든 비트를 '0'으로 하면 UART의 모든 인터럽트가 비 활성화되며, IER의 해당 비트를 이네이블시킴으로써 특정 인터럽트만 이네이블시킬 수도 있습니다. 인터럽트가 비활성화되면 해당 인터럽트 조건이 발생하여도 IIR에 기록되지 않으며 인터럽트 출력 신호(INT\_UART)도 발생하지 않습니다. LSR의 표시와 같은 다른 모든 UART의 기능들은 IER에 상관없이 동일하게 동작합니다.

IER의 각 비트의 구체적인 설명은 아래와 같습니다:

- DRIE** 이 비트가 '1'이면 수신 데이터 가능 인터럽트가 활성화됩니다.(FIFO 모드에서는 타임-아웃 인터럽트도 활성화됩니다.)
- THREIE** 이 비트가 '1'이면 송신 홀드 레지스터 엠티 인터럽트가 활성화됩니다.
- RLSIE** 이 비트가 '1'이면 수신 라인 스테이더스 인터럽트가 활성화 됩니다.

### MCR 모뎀 제어 레지스터 (0x1410 R/W)

	b31	b8	b7	B6	b5	b4	b3	b2	b1	b0
<b>MCR</b>	Reserved		Res			LBON	Res			
Reset	-		0	0	0	0	0	0	0	0

초기값 : 0xXXXXXX00

**LBON** 0: 일반 송수신 모드  
1: 루프백 모드

이 레지스터는 UART의 자체 진단을 위한 루프백 모드로의 설정을 위한 레지스터입니다. 레지스터의 구체적인 설명은 아래와 같습니다.

**LBON** 이 비트는 UART의 진단을 위한 루프백 기능을 제공합니다. 이 비트가 '1'이 되면 송신 출력 신호(그림 9.2의 SOUT)은 '1'(마킹 상태)가 되고, 수신 입력단은 UART 내부와의 연결이 끊어집니다.; 그리고 송신 시프트 레지스터의 출력이 바로 수신 시프트 레지스터의 입력으로 연결(루프백)됩니다. 이러한 기능은 CPU가 UART 내부의 송신단에서 수신단으로의 경로를 검증하는데 쓰입니다. 자체 진단을 위해 이 비트를 활성화하여도 송수신단의 인터럽트는 보통의 동작모드에서와 같이 동작합니다.

### MSR 모뎀 스테이더스 레지스터 (0x1418)

모뎀 스테이더스와 관련된 기능은 HMS39C7092에서는 사용할 수 없습니다.

### SCR 스크래치 레지스터 (0x141C R/W)

	b31	b8	b7	B6	b5	B4	b3	b2	b1	b0
<b>SCR</b>	Reserved		SCR							
Reset	-		00							

초기값 : 0xXXXXXX00

**SCR** 스크래치 레지스터

이 8 비트 레지스터는 UART의 동작이나 설정과는 상관이 없습니다. 이 레지스터는 소프트웨어 프로그래머가 임시로 데이터를 저장하기 위한 공간으로 사용되도록 고안되었습니다.

## 9.6 UART의 동작

### 9.6.1 FIFO 인터럽트 모드에서의 동작

**RCVR FIFO 와 수신 인터럽트가 활성화(FIFOEN = 1, DRIE = 1)되어 있을 때, RCVR 인터럽트는 아래와 같이 발생합니다:**

UART 의 FIFO 가 미리 설정된 RCVR FIFO 의 트리거 level 에 도달할 경우 수신 데이터 가용 인터럽트가 발생합니다; 이 인터럽트는 설정된 트리거 레벨보다 FIFO 의 저장 데이터 개수가 적을 경우 클리어됩니다.

RCVR FIFO 가 트리거 레벨에 도달하면 IIR 은 데이터 가용 인터럽트가 발생했음을 표시하는 플래그를 나타내고 인터럽트와 같이 FIFO 가 트리거 레벨 이하로 떨어질 경우 해당 인터럽트 플래그를 클리어합니다.

수신 라인 스테이더스 인터럽트(IIR = 0x06)는 수신 데이터 가용 (IIR=0x04) 인터럽트보다 높은 우선순위를 가집니다.

데이터 레디 비트 (DR)은 수신된 캐릭터가 수신 시프트 레지스터에서 RCVR FIFO 로 옮겨지면 '1'로 세트됩니다.

**RCVR FIFO 와 수신 인터럽트 가 활성화되어 있고 RCVR FIFO 타임-아웃 인터럽트가 발생했을 때:**

1. FIFO 타임-아웃 인터럽트는 아래의 조건을 만족할 때 발생합니다 :
  - 적어도 1 개 이상의 수신 데이터가 FIFO 에 존재합니다.
  - 마지막으로 수신된 데이터가 FIFO 에 입력된 시간이 4 개 캐릭터의 수신 시간과 동일한 시간 전입니다. (만약 스톱 비트가 2 비트로 설정되어 있다면 2 번째 스톱 비트의 수신 시간도 여기에 포함됩니다.)
  - 마지막으로 CPU 가 FIFO 를 읽은 시간이 4 캐릭터의 수신 시간과 동일한 시간 전입니다.
2. 캐릭터 수신 시간은 보레이트를 이용해서 계산합니다.
3. 타임-아웃 인터럽트는 CPU 가 RCVR FIFO 에서 하나 이상의 캐릭터를 읽었을 때 해제(클리어)됩니다.
4. 타임-아웃 인터럽트가 발생하지 않았을 경우, 새로운 캐릭터가 RCVR FIFO 로 들어오거나 CPU 가 RCVR FIFO 를 읽으면 타임-아웃 타이머는 다시 초기화됩니다.

**XMIT FIFO 와 송신 인터럽트가 활성화(enabled)되었을 때 (FIFOEN = 1, THREIE = 1), 송신 인터럽트는 아래와 같이 발생합니다 :**

1. 송신 홀드 레지스터 인터럽트 (IIR=0x02)는 XMIT FIFO 에 송신할 데이터가 없을 경우 발생합니다; 송신 홀드 레지스터에 데이터가 써지면 해제(클리어)됩니다.(송신 홀드 레지스터 인터럽트의 처리 중에 최대 16 개까지의 송신 데이터를

송신 FIFO 에 써넣을 수 있습니다.)

캐릭터 타임-아웃과 RCVR FIFO 트리거 레벨 인터럽트는 수신 데이터 가용 인터럽트와 같은 우선순위를 가집니다; 송신 FIFO 엠티 인터럽트는 송신 홀드 레지스터 엠티 인터럽트와 같은 우선권을 가집니다.

### 9.6.2 FIFO Polled 모드에서의 동작

FIFO 가 활성화된 상태(FIFOEN = 1)에서 IER 의 DRIE, THREIE, RLSIE 즉 모든 비트를 '0'으로 하면 UART 는 FIFO Polled 모드가 됩니다. 이때 UART 의 FIFO 는 트리거 레벨에 도달하거나 타임-아웃 조건일 때 인터럽트를 발생시킬 수 없으며 유저는 인터럽트나 IIR 이 아닌 LSR 을 읽어서 UART 의 상태를 알 수 있습니다.

9.7 레지스터 요약

표 9.6 UART 레지스터들의 요약

Reg. Name	Offset	Dir.	비트 영역							cf.
			비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	
RBR	0x00	R	RBR							DLAB=0
THR	0x00	W	THR							DLAB=0
IER	0x04	R/W					RLSIE	THREIE	DRIE	
IIR	0x08	R					FID	ID	IPEN	
FCR	0x08	W	FIFODEPTH					FCR2	FCR1	FIFOEN
LCR	0x0C	R/W	DLAB	BREAK	STICKP	PARITY	PEN	STOPBIT	DLEN	
MCR	0x10	R/W				LBON				
LSR	0x14	R	FIFOE	TEMT	THRE	BI	FE	PE	OE	DR
MSR	0x18	-								
SCR	0x1C	R/W	SCR							
DLL	0x00	R/W	DLL							DLAB=1
DLM	0x01	R/W	DLM							DLAB=1
CLKCR	0x20	R/W								CKEN
CLKDR	0x24	R/W	CLKDIV							



제10장  
범용 I/O 포트 (GPIO)

## 10.1 개요

범용 I/O 포트(GPIO)는 APB 에 연결된 주변장치로 11 개의 포트로 구성된 75 비트의 프로그래밍 가능한 범용 입·출력 포트입니다. 11 개의 포트는 포트 A, B, 1, 2, 3, 4, 5, 6, 7, 8, 9 로 나뉘어져 있습니다. 각각의 핀은 입력 또는 출력으로 구성할 수 있습니다.

\* 리셋 후에는 기본적으로 포트 A, 1, 3, 5, 7, 8 은 입력으로 포트 B, 2, 4, 6 은 출력으로 설정되어 있습니다.

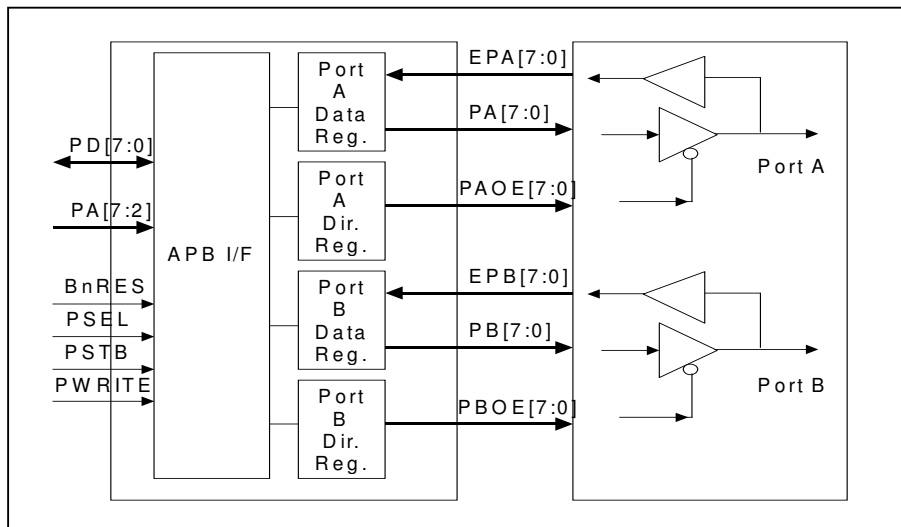


그림 10.1 GPIO 블록도 (포트 A, 포트 8 의 예)

모든 포트에는 데이터 레지스터와 입·출력 방향 레지스터가 있습니다. 방향 레지스터는 포트의 각 핀을 입력으로 사용할지 또는 출력으로 사용할 지의 여부를 결정합니다. 데이터 레지스터는 핀이 출력용일 경우 핀을 통해 출력될 값을 저장하고, 또한 핀의 입·출력 여부에 상관없이 현재 핀의 값을 읽을 경우 사용됩니다.

## 10.2 범용 I/O 포트 레지스터

아래는 범용 I/O 포트 레지스터에 대한 설명입니다.

**PnDR\*** 포트 n 데이터 레지스터입니다. 이 레지스터에 쓴 값은 포트 n 데이터 방향 레지스터가 '1'일 때 해당 핀의 출력 값이 됩니다. 이 레지스터의 어드레스로 읽혀진 데이터는 포트 n의 외부 값을 반영합니다. 모든 비트는 리셋 후 '0'으로 초기화됩니다.

**PnDDR\*** 포트 n 입·출력 방향 레지스터입니다. 이 레지스터의 비트가 '1'이면 포트 n의 해당 핀이 입력으로 사용되며, 비트가 '0'이 되면 그 핀은 출력으로 동작합니다. 리셋 후의 값은 포트에 따라 다르며 **10.3 절**을 참조하십시오.

\*n = A, B, 1, 2, 3, 4, 5, 6, 7 또는 8

### 10.2.1 레지스터 메모리 맵

GPIO 부의 기준 어드레스는 **0x0900\_1600**이며 기준 어드레스로부터의 오프셋은 고정되어 있습니다.

표 10.1 GPIO 레지스터 메모리 맵

명칭	I/O OFFSET	방향	설 명
PADR	0x1600	R/W	8 비트 포트 A 데이터 레지스터
PADDR	0x1604	R/W	포트 A 입·출력 방향 레지스터
PBDR	0x1608	R/W	7 비트 포트 B 데이터 레지스터
PBDDR	0x160C	R/W	포트 B 입·출력 방향 레지스터
P1DR	0x1610	R/W	8 비트 포트 1 데이터 레지스터
P1DDR	0x1614	R/W	포트 1 입·출력 방향 레지스터
P2DR	0x1618	R/W	8 비트 포트 2 데이터 레지스터
P2DDR	0x161C	R/W	포트 2 입·출력 방향 레지스터
P3DR	0x1620	R/W	8 비트 포트 3 데이터 레지스터
P3DDR	0x1624	R/W	포트 3 입·출력 방향 레지스터
P4DR	0x1628	R/W	8 비트 포트 4 데이터 레지스터
P4DDR	0x162C	R/W	포트 4 입·출력 방향 레지스터
P5DR	0x1630	R/W	4 비트 포트 5 데이터 레지스터
P5DDR	0x1634	R/W	포트 5 입·출력 방향 레지스터
P6DR	0x1638	R/W	8 비트 포트 6 데이터 레지스터
P6DDR	0x163C	R/W	포트 6 입·출력 방향 레지스터
P7DR	0x1640	R/W	5 비트 포트 7 데이터 레지스터
P7DDR	0x1644	R/W	포트 7 입·출력 방향 레지스터
P8DR	0x1648	R/W	7 비트 포트 8 데이터 레지스터
P8DDR	0x164C	R/W	포트 8 입·출력 방향 레지스터
P9DR	0x1650	R/W	6 비트 포트 8 데이터 레지스터
P9DDR	0x1654	R/W	포트 8 입·출력 방향 레지스터

## 10.2.2 레지스터 설명

범용 I/O 포트(GPIO) 의 각 포트는 데이터 레지스터와 방향 레지스터를 가지고 있으며 모든 포트가 8 비트이지는 않습니다.

**PnDR** Port n 데이터 레지스터 (R/W, n=A,B,1,2,3,4,5,6,7,8 or 9)

	b31	-	b8	b7	b6	b5	b4	b3	b2	b1	b0
<b>PnDR</b>	Reserved			D7	D6	D5	D4	D3	D2	D1	D0
Reset	-			0	0	0	0	0	0	0	0
	초기 값 : 0x-00			비트 영역 D0-D7 데이터 값							

**PnDDR** Port n 데이터 Direction 레지스터 (R/W, n=A,B,1,2,3,4,5,6,7,8 or 9)

	b31 - b16	b7	b6	b5	b4	b3	b2	b1	b0	
<b>PnDDR</b>	Reserved		I7	I6	I5	I4	I3	I2	I1	I0
Reset	-		x	x	x	x	x	x	x	x
	초기 값 : 0x-xx		비트 영역 I0-I7 1: 해당 핀은 입력 0: 해당 핀은 출력							

### 10.3 기능 설명

각 레지스터의 리셋 후 초기값은 포트에 따라 다릅니다. 포트 1, 3, 5, 7, 8, A 는 입력 포트로 초기화되고 포트 2, 4, 6, B 는 출력 포트로 초기화됩니다.

모든 포트에 대해 데이터 레지스터와 방향레지스터가 존재하며, 데이터 레지스터를 읽으면 포트가 입력 또는 출력 여부에 상관없이 해당 포트의 핀 상태를 리턴합니다.

데이터 레지스터에 값을 쓰는 것은 해당 핀이 출력으로 설정되었을 때에만 영향을 미칩니다.



제11장  
내장 SRAM

### 11.1 개요

HMS39C7092 는 4 K 바이트 고속 SRAM 을 내장하고 있습니다. 이 SRAM 은 CPU 에 32 비트로 직접 연결되어 있으며, CPU 는 이 SRAM 을 바이트(8 비트), 하프워드(16 비트), 워드(32 비트) 단위로 단일 사이클 내에 액세스하므로 고속 데이터 전송에 유용합니다.

### 11.2 기능 설명

내장 SRAM 은 단일 클럭 내의 읽고 쓰기 액세스가 가능합니다.

내장 SRAM 의 데이터는 단일 클럭으로 액세스되므로 고속 액세스가 필요한 서브루틴이나 스택 또는 데이터 영역으로 사용하기에 이상적입니다. 이 SRAM 의 내용은 파워다운 시에도 내용이 유지됩니다.

내장 SRAM 은 내부적으로 CPU 에 32 비트로 연결되어 있으므로, 워드, 하프워드, 또는 바이트 단위 액세스가 가능합니다.

메모리 영역은 **0x0803\_0000** 에서 **0x0803\_0FFF** 번지에 할당되어 있으며, 리맵 모드의 경우 **0x0000\_0000** 에서 **0x0000\_0FFF** 번지로 할당이 됩니다. 리맵 모드는 PMU 의 MEMCR 의 REMAP 을 설정함으로써 작동하게 됩니다. (자세한 내용은 **Chapter 5 전원 관리부**를 참조 바랍니다.)



제12장  
내장 플래시 메모리

## 12.1 개요

HMS39C7092 는 192K 바이트 용량의 내장된 플래시 메모리 를 가지고 있습니다. 이 플래시 메모리는 16 비트 데이터 버스로 CPU 와 연결되어 있으며, CPU 는 바이트(8 비트), 하프워드(16 비트) 그리고 워드(32 비트) 크기로 데이터 액세스 할 수 있습니다. 또한 CPU 에서 플래시 메모리로의 액세스를 위한 웨이트 기능이 있어서, CPU 의 동작 속도에 맞춰 액세스 하도록 설정 가능합니다.

**표 12.1** 에서와 같이 모드 핀 (MD<sub>2</sub>~MD<sub>0</sub>)을 설정하여서 내장된 플래시 메모리에서 프로그램을 시작하는 것도 가능합니다.

## 12.2 특징

HMS39C7092 의 플래시 메모리 특성은 아래와 같습니다.

- 메모리 구성 : 96K x 16 비트(1.5M 비트)
- 동작 전압 : 이중 전압 3.0V ~ 3.6V(VDD), 5V(FTVPPD)
- 랜덤 액세스 시간 : 90 ns
- 프로그램 소요 시간 : typ. 10us/워드
- 소거 블록 크기 : 32KB x 4, 24KB x 2, 8KB x 2
- 블록 소거 소요 시간 : typ. 1.5sec/32KB (프리프로그램 + 소거)
- 복수개의 섹터 소거 명령 지원 가능 (최대 4 개 섹터까지)
- 내구성 : min 100 회
- PROM 모드 및 On-board (UART 부트) 모드 프로그램 및 소거 지원
- 동작 전류 : 스텐바이 모드 : 10uA  
읽기/프로그램/소거 시 : 최대 20mA

표 12.1 동작 모드

MD <sub>2</sub>	MD <sub>1</sub>	MD <sub>0</sub>	모드	설 명
0	1	0	M2	외부 8 비트 데이터 버스 부트 모드
0	1	1	M3	외부 16 비트 데이터 버스 부트 모드
1	0	0	M4	외부 16 비트 버스와 내장 플래시 부트 모드
1	0	1	M5	싱글칩 모드와 내장 플래시 부트 모드
1	1	0	M6	외부 16 비트 버스와 직렬 부트 모드
1	1	1	M7	싱글칩 모드와 직렬 부트 모드

12.3 구성도

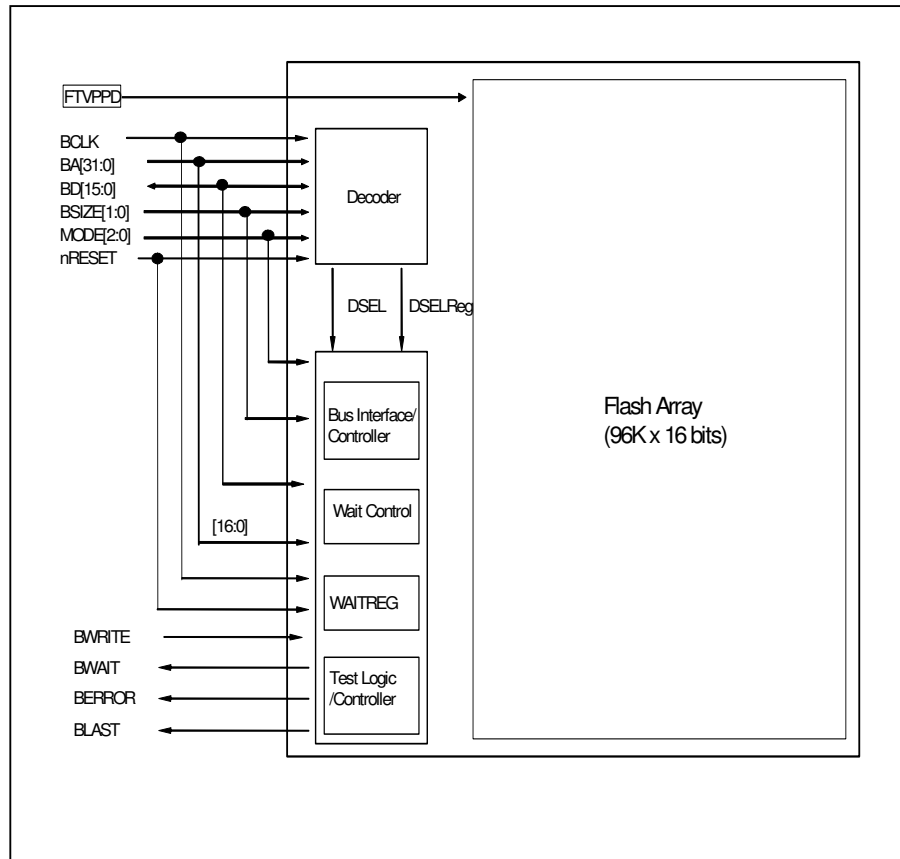


그림 12.1 플래시 메모리 구성도

표 12.2 플래시 메모리 부의 신호 설명

신호명	I/O	기능
nRESET	I	이 신호가 '0'이 되면 플래시 메모리의 상태를 초기상태로 보냄.
BCLK	I	버스의 데이터 전송 시간을 제어하는 클럭
DSELREG	I	이 신호가 '1'이고 BA[31:0]이 FMI 영역(0x09000200 ~ 0x090002ff)을 가리키면 플래시 메모리의 내부 설정을 위한 레지스터들이 선택됩니다.
DSEL	I	이 신호가 '1'이고 BA[31:0]이 플래시 메모리 영역의 주소를 가리키면 플래시 메모리 어레이가 선택됩니다.
BWRITE	I	이 신호가 '1'이면 쓰기 동작을 '0'이면 읽기 동작을 실행 중임을 나타냅니다.
BSIZE[1:0]	I	이 신호들은 데이터 버스를 통해 전달되는 데이터 크기를 나타내며, 바이트(8 비트), 하프워드(16 비트) 혹은 워드(32 비트)로 설정 가능합니다.
BA[31:0]	I	시스템 어드레스 버스 BA[31:17]는 내부 레지스터부와 플래시 메모리 어레이 간의 선택에 사용되고, BA[16:0]은 내부 레지스터나 플래시 메모리 어레이 영역의 특정한 부분을 선택하는데 쓰입니다.
BD[15:0]	I	양방향 데이터 버스
BWAIT	O	플래시 메모리 인터페이스(FMI)에서의 응답 신호로 플래시 메모리 읽기 동작이 진행 중일 때 발생하여서 CPU 가 플래시 메모리 에 저장된 데이터를 읽어가는 시점을 알려줍니다.
BERROR	O	플래시 메모리 인터페이스(FMI)에서의 응답 신호로 플래시 메모리 의 레지스터나 플래시 메모리 어레이의 R/W 동작이 성공적으로 끝나지 않았음을 나타냅니다.
BLAST	O	이 신호가 '1'이면 버스에서 그 전과는 상관없는 새로운 데이터 전송이 시작되는 것을 나타내며 '0'이면 연속적인 어드레스 에서 데이터 전송이 계속 중임을 나타냅니다.
MODE [2:0]	I	이 신호는 외부 핀인 MD <sub>2</sub> ~ MD <sub>0</sub> 과 바로 연결되며 표 12.1 에 표시된 동작 모드를 나타냅니다.
FTVPPD	In	플래시 메모리의 프로그램 및 소거 동작에 필요한 전원으로 모든 동작 모드에서 외부 핀과 바로 연결됩니다.

12.4 플래시 메모리 레지스터 설명

내장된 플래시 메모리를 제어하기 위한 레지스터들은 표 12.3 과 같습니다. 플래시 메모리의 레지스터의 기준 어드레스는 0x0900\_0200 입니다.

표 12.3 플래시 메모리 레지스터

Reg.	I/O Offset	Dir.	Description	Initial Value
FMWR	0x0200	R/W	웨이트 레지스터	0x000F
FMAR	0x0204	R/W	어드레스 레지스터	0x0000
FMDR	0x0208	R/W	데이터 레지스터	0xFFFF
FMCR	0x020C	R/W	컨트롤 레지스터	0x0000
FESR	0x0210	R/W	소거 섹터 선택 레지스터	0x0000
FMPR	0x0214	R/W	상태 및 전압설정 레지스터	0x0000
FMTR	0x0218	R/W	테스트 레지스터	0x0400

FMWR

웨이트 레지스터

비트	7	6	5	4	3	2	1	0
	W7	W6	W5	W4	W3	W2	W1	W0
초기값	0	0	0	0	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FMWR 은 버스에서 플래시 메모리 내부의 레지스터나 플래시 메모리의 읽기/쓰기 시간을 제어하기 위해 쓰이는 8 비트 레지스터이며 초기값은 0x0F 입니다. 만약 현재 플래시 메모리 읽기 명령이 수행될 경우 그 다음 명령의 수행은 FMWR 에 설정된 시스템 클럭(BCLK)의 개수동안 억제됩니다. 따라서 플래시 메모리 자체의 읽기 동작이 이 시간( [FMWR 값+1] x BCLK 의 주기)동안 수행되어서 시스템 버스의 마스터인 CPU 가 가져갈 수 있게 합니다. 인터럽트 없이 플래시 메모리 읽기 동작을 성공적으로 수행하기 위해서는 이 시간은 플래시 메모리의 읽기 시간인 t<sub>ACC</sub> 보다 커야 합니다. 모드 4(PROM 모드)에서 사용자는 이 레지스터를 바로 읽거나 쓸 수 없습니다.

\*현재 HMS39C7092 내부 플래시 메모리의 t<sub>ACC</sub> 를 고려해 볼 때 50MHz 클럭 입력은 쓸 경우 FMWR 의 적절한 값은 0x04 입니다

**FMAR** 어드레스 레지스터

비트	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
Init. Val.	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
RD/WR	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

프로그램 또는 프리프로그램시나 프로그램 또는 소거 베리파이 시에 프로그램하거나 베리파이할 플래시 메모리의 상대 어드레스가 저장되는 레지스터입니다. 읽기 동작에서는 FA[17:1]이 FMAR 을 거치지 않고 바로 어드레스 디코드부로 입력됩니다. 소거 모드에서도 FMAR 과 상관없이 섹터 선택 레지스터에 입력된 특정 섹터가 소거됩니다. 모드 4 (PROM 모드)에서 사용자는 FR\_SEL 신호를 이용하여 직접 이 레지스터에 값을 입력할 수 있으며 입력 값이 되는 주소 영역은 0x00000~0x2FFFF (96K x 16 비트)입니다. 이 모드에서, FR\_SEL[2:0]이 '001'이면 FWEB 의 상승 에지에서 FA[17:1] 값이 FMAR 로 전달 되고 FR\_SEL[2:0]이 '001' 이고 WEB 가 '1' OEB 가 '0'이면 FD[17:1]을 통해서 FMAR 값을 읽을 수 있습니다. 나머지 모드에서는 플래시 메모리 영역에 직접 쓰기를 통해서 BA[17:1]의 디코드된 값이 FMAR 에 입력되고 FMAR 읽기 명령을 통해서 읽을 수 있습니다.

**FMDR** 데이터 레지스터

비트	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
Init. Val.	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
RD/WR	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

프로그램 모드에서 FMAR 에 저장된 주소의 플래시 메모리를 프로그램 하기 위한 데이터를 저장하는 레지스터입니다. 내장 플래시 메모리는 한번에 16 비트씩 프로그램될 수 있습니다. 레지스터의 각 비트는 16 개의 플래시 메모리 셀에 1 대 1 로 대응되고 만약 '0'이면 플래시 셀은 프로그램되고 '1'이면 프로그램되지 않으며 이전의 상태를 유지합니다. 초기화 이후에 나머지 레지스터는 모두 '0'으로 되는 반면 FMDR 의 값은 0xFFFF 이 됩니다. 모드 4(PROM 모드)에서 사용자는 FR\_SEL 신호를 이용하여 직접 이 레지스터에 값을 입력할 수 있습니다. 이 모드에서, FR\_SEL[2:0]이 '001'이면 FWEB 의 상승 에지에서 FD[15:0] 값이 FMDR 로 전달 되고 FR\_SEL[2:0]이 '010'이고 WEB 가 '1' OEB 가 '0'이면 FD[15:0]을 통해서 FMDR 값을 읽을 수 있습니다. 나머지 모드에서는 플래시 메모리 영역에 직접 쓰기를 통해서 BD[15:0]이 FMDR 에 입력되고 FMDR 읽기를 통해서 읽을 수 있습니다.

**FMCR** 플래시 제어 레지스터

비트	7	6	5	4	3	2	1	0
	-	-	ER_VFY	PGM_VFY	ERSE	PGM	ER_PWR	PGM_PWR
초기값	-	-	0	0	0	0	0	0
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W

FMCR는 플래시 메모리의 동작 모드를 제어하는 6 비트의 레지스터입니다. 이 레지스터는 모든 모드에서 읽고 쓰기가 가능하며, 플래시 메모리 어레이 읽기, 프로그램, 소거 그리고 차지 펌프의 동작 상태를 제어합니다. 표 12.4는 FMCR 각 비트의 기능을 나타냅니다.

**표 12.4 제어 레지스터**

이름	기능
<b>PGM_PWR</b>	프로그램 파워 셋업 (Drain/Positive Gate 펌프를 동작 시킴)
<b>ER_PWR</b>	소거 파워 셋업 (Negative/Positive Gate 펌프를 동작 시킴)
<b>PGM</b>	프로그램 시작 비트. 프로그램 펄스를 선택된 주소의 플래시 셀에 공급함(Drain/Gate Pulse).
<b>ERSE</b>	소거 시작 비트. 소거 펄스를 선택된 섹터에 공급함(Gate/Bulk Pulse).
<b>PGM_VFY</b>	프로그램 베리파이 읽기 동작 (Positive Gate 펌프를 동작 시킴)
<b>ER_VFY</b>	소거 베리파이 읽기 동작 (Positive Gate 펌프를 동작 시킴)

표 12.4의 FMCR의 각 비트를 설정함으로써 프로그램/소거/베리파이 과정을 수행할 수 있습니다. PGM\_PWR/ER\_PWR는 프로그램이나 소거 전에 펌프를 동작 시킨다. 프로그램이나 소거에 필요한 고전압을 만들기 위해 PGM\_PWR(프로그램 시) 혹은 ER\_PWR(소거 시)를 '1'로 만든 후 펌프가 적절한 조건으로 설정될 때까지 기다린다. 펌프 설정 후 PGM(프로그램)이나 ERSE(소거) 비트를 '1'로 만들어서 프로그램이나 소거 동작을 시작합니다. 베리파이 모드에서는 PGM\_PWR이나 ER\_PWR를 설정하지 않고 PGM\_VFY나 ER\_VFY만 '1'로 설정해서 펌프 설정과 베리파이 읽기를 수행합니다. 모드 4(PROM 모드)에서는 FR\_SEL[2:0]이 '011'이면 FWEB의 상승 에지에서 FD[5:0] 값이 FMCR로 전달되고 FR\_SEL[2:0]이 '011'이고 WEB가 '1', OEB가 '0'이면 FD[5:0]을 통해서 데이터 레지스터 값을 읽을 수 있습니다. 나머지 모드에서도 FMCR의 읽고 쓰기가 가능합니다.



**FESR** 소거 섹터 선택 레지스터

비트	7	6	5	4	3	2	1	0
	SEC7	SEC6	SEC5	SEC4	SEC3	SEC2	SEC1	SEC0
초기값	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

이 레지스터는 소거할 섹터를 선택하는데 쓰이고 각각의 비트가 한 개의 소거 섹터와 대응됩니다. FMCR 를 소거 동작 조건에 맞게 설정한 후 소거하려는 섹터와 대응되는 FESR 비트를 '1'로 설정해서 해당 섹터를 소거할 수 있습니다. 표 12.5 는 FESR 의 각 비트에 해당하는 소거 섹터와 그 크기 그리고 그에 해당하는 하위 16 비트 주소를 나타냅니다. 이 레지스터의 여러 비트를 한꺼번에 '1'로 설정 하여서 한번에 여러 개의 섹터를 소거하는 것도 가능합니다(최대 한번에 4 개 섹터까지 소거 가능). 모드 4(PROM 모드)에서는 FR\_SEL[2:0]이 '100'이면 FWEB 의 상승 에지에서 FD[9:0] 값이 FESR 로 전달되고 FR\_SEL[2:0]이 '100'이고 WEB 가 '1' OEB 가 '0'이면 FD[7:0]을 통해서 FESR 값을 읽을 수 있습니다. 나머지 모드 에서도 FESR 의 읽고 쓰기가 가능합니다.

표 12.5 소거 섹터 레지스터

섹터 #	섹터 크기	어드레스 영역
Sector 0	8KB (4K-워드)	0x00000 ~ 0x01FFF
Sector 1	8KB	0x02000 ~ 0x03FFF
Sector 2	24KB	0x04000 ~ 0x0AFFF
Sector 3	24KB	0x0A000 ~ 0x0FFFF
Sector 4	32KB	0x10000 ~ 0x17FFF
Sector 5	32KB	0x18000 ~ 0x1FFFF
Sector 6	32KB	0x20000 ~ 0x27FFF
Sector 7	32KB	0x28000 ~ 0x2FFFF

**FMPR** 상태 및 전압 설정 레지스터

비트	8	7	6	5	4	3	2	1	0
	HVEEI	LVEEI	LVCC	VEEI[1:0]		reserved		VPPI[1:0]	
초기값	0	0	0	00		00		00	
R/W	R/W	R/W	R/W	R/W		-		R/W	

이 레지스터는 고전압 펌프의 출력 전압의 크기를 조절하고 프로그램이나 소거 동작 중의 펌프의 상태를 표시합니다. 아래의 표에서, 비트[8:6]은 펌프의 상태를 나타내는 상태 표시 비트이고 비트[5:0]은 고전압 펌프의 출력 전압을 조절하는 제어 비트입니다. 비트[5:0]은 프로그램, 소거, 베리파이 동작 시 필요한 전압의 크기를 조절하며 R/W 모두 가능합니다. 모드 4(PROM 모드)에서는 FR\_SEL[2:0]이 '101'이면 FWEB 의 상승 에지에서 FD[5:0] 값이 FMPR[5:0]로 전달되고 (FMPR[8:6]는 읽기 전용입니다), FR\_SEL[2:0]이 '101'이고 WEB 가 '1' OEB 가 '0' 이면 FD[8:0]을 통해서 FMPR 의 9-비트 모두를 읽을 수 있습니다. 나머지 모드 에서도 FMPR 의 읽고 쓰기가 가능합니다.

표 12.6 상태 및 전압 설정 레지스터

비트	이름	설 명
8	HVEEI	FMCR 의 'ER_PWR'이 '1'이고 VEEI(펌프의 (-)전압 출력)이 -7V 이하로 되었을 때 이 비트가 '1'이 됩니다.
7	LVEEI	VEEI가 방전되어 -1V 이상이 되면 이 비트가 '1'이 됩니다.
6	LVCC	펌프가 동작하고 있는 중에(PGM_PWR=1 혹은 ER_PWR=1) VDD가 2.9V 이하로 떨어지는 경우에 '1'로 됩니다.
5,4	VEEI[1:0]	이 비트는 FMCR 의 ER_PWR 이 '1'일 때 VEEI 전압 값을 설정 합니다. ("00" : -9V, "01" : -10V, "10" : -8V, "11" : -10V)
3,2	reserved	
1,0	VPPI[1:0]	이 비트는 FMCR 의 ER_PWR 또는 ER_PWR 이 '1'일 때 VPPI (펌프의 (+)전압 값)를 설정합니다. 이 비트는 또한 FMCR 의 PRG_VFY 나 ER_VFY 가 '1' 일 때 베리파이를 위한 VPPI 전압 값도 설정합니다. 프로그램/소거모드 ("00" : 9V, "01" : 8V, "10" : 10V, "11" : 7V) 베리파이 모드 ("00" : 4V, "01" : 5V, "10" : 6V, "11" : 7V)

## 12.5 On-Board 프로그램 모드

모드 핀이 직렬 부트 모드로 설정되어 초기화가 되면, 플래시 메모리를 프로그램, 소거, 베리파이 할 수 있는 on-board 프로그램이 가능한 상태가 됩니다. On-board 프로그램 상태에는 모드 핀의 설정에 따라 부트 모드와 유저 프로그램 모드의 2 가지 모드가 있습니다. 부트 모드는 처음으로 on-board 프로그램을 수행하거나 유저 프로그램 모드에서 수행하는 프로그램을 플래시 메모리에서 실수로 소거했을 때와 같이 유저 프로그램 모드를 수행할 수 없을 때 사용합니다.

### 12.5.1 부트 모드

모드6 또는 7로 설정되고 nRESET에 의해 초기화가 실행되면 HMS39C7092는 부트 모드로 설정됩니다. 이 모드에서 HMS39C7092는 내부 부트 롬으로 부트하며 따라서 내부 ROM은 0x00000000의 주소에 위치하게 됩니다.

직렬 부트 모드를 사용하기 위해서는 먼저 플래시 메모리를 프로그램/소거하는 제어 프로그램이 호스트에 사전에 준비되어 있어야 하며 여기에는 UART0가 사용됩니다. 모드 핀이 모드 6 또는 7로 설정되고 nRESET 핀에 의해 초기화가 실행되면 내부 ROM에 저장된 프로그램이 실행되어 UART0의 전송률은 입력 클럭의 880분의 1 (50MHz 시 약 57600bps)로 설정되고 외부의 호스트로부터 UART0를 통해 플래시 메모리를 프로그램/소거하는 프로그램을 수신하여 실행됩니다.

그림 12.2는 모드2(부트 모드)에서의 시스템 구성을 나타내며 그림 12.3은 내부 ROM에서 실행되는 부트 프로그램의 실행 순서를 표시하였다.

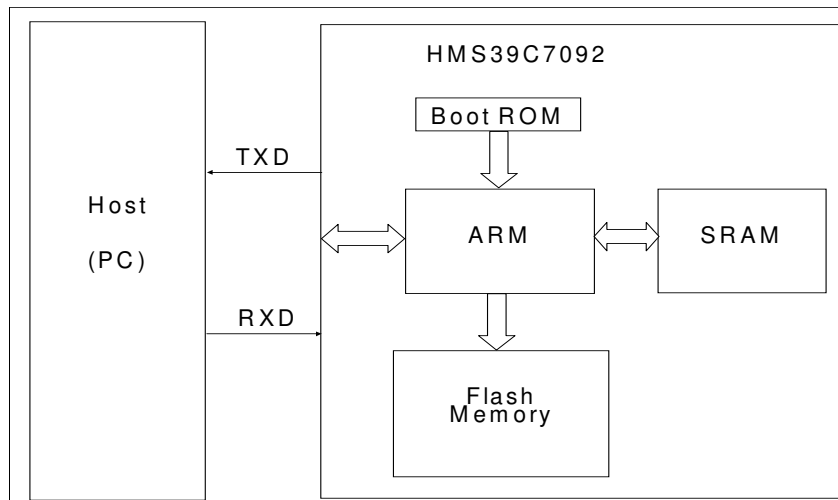


그림 12.2 On-Board 부트 모드에서의 시스템 구성

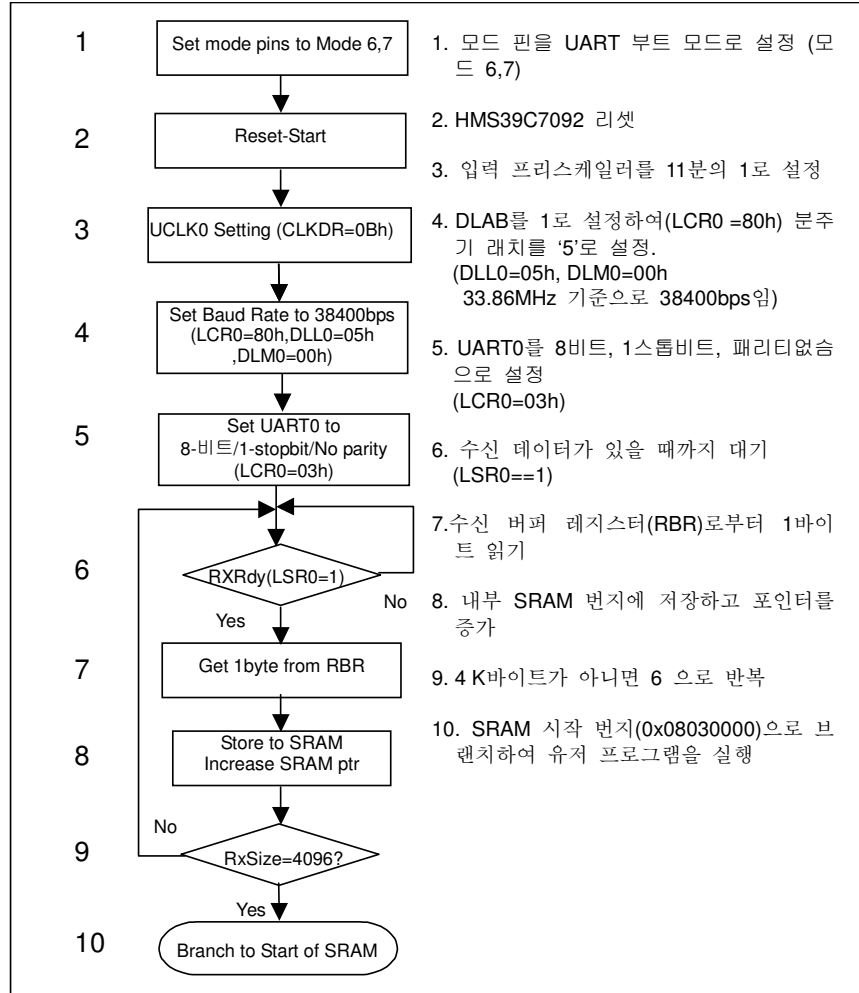
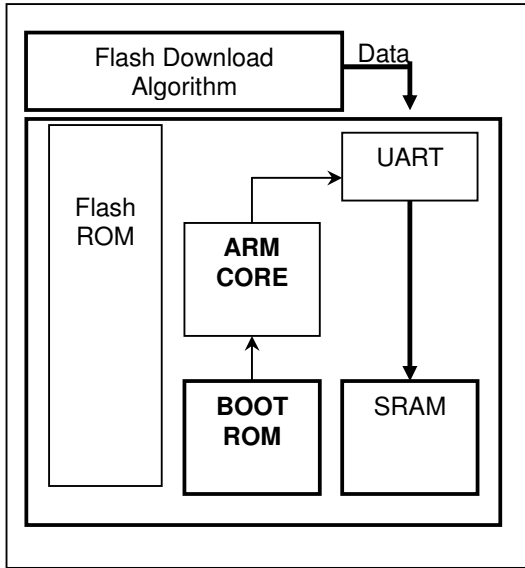


그림 12.3 부트 모드 실행 순서

부트 모드로 설정되면 HMS39C7092는 8비트 데이터, 1-스톱 비트, no 패리티로 설정되어 비동기 직렬 데이터를 연속적으로 외부 호스트에서 수신합니다. 이 때의 전송률은 MCU 동작 주파수의 1/880으로 설정 됩니다.(50MHz의 경우 57600bps)

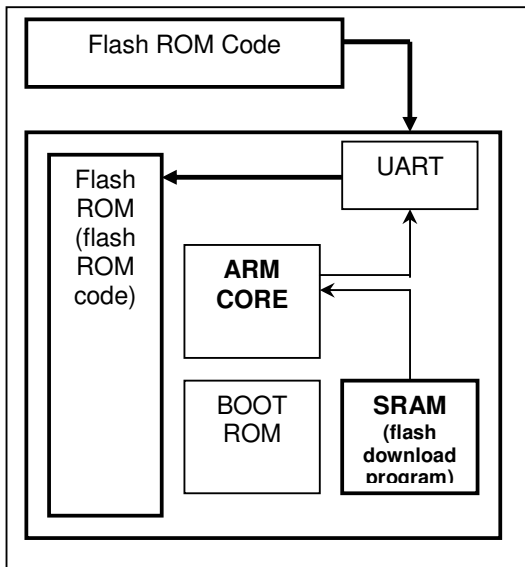
## 적용 예 (부트 모드)

## 1. 응용 프로그램 다운로드



- Step 1. UART 부트 모드인 모드 6 또는 7로 설정. (플래시 메모리의 프로그램/소거 알고리즘은 미리 호스트에 준비되어 있어야 함)
- Step 2. nRESET 를 이용해 초기화.
- Step 3. 내장 ROM 에 있는 부트 프로그램을 실행.
- Step 4. 부트 프로그램이 호스트로부터 플래시 프로그램/소거 알고리즘을 내려받음
- Step 5. 플래시 프로그램/소거 알고리즘을 내부 SRAM 에 저장.

## 2. 다운로드된 응용 프로그램 실행



- Step 6. CPU 가 프로그램 실행을 위해 프로그램/소거 알고리즘의 시작 번지로 분기함.
- Step 7. SRAM 에 저장된 알고리즘 프로그램이 플래시 메모리에 저장될 데이터를 UART 를 통해 호스트로부터 받아서 플래시 메모리 쓰기 동작을 수행.
- Step 8. 플래시 메모리 쓰기 동작 완료하고 시스템의 모드를 일반 모드로 바꿈
- Step 9. nRESET 를 이용해 초기화
- Step 10. CPU 가 플래시 메모리에서 새로운 프로그램을 실행.

12.5.2 유저 프로그램 모드

유저 프로그램 모드로 설정되면 MCU는 이미 프로그램된 프로그램/소거 제어 프로그램을 실행하여 내장 플래시를 프로그램 혹은 소거할 수 있습니다. 따라서 호스트에 플래시에 저장할 데이터와 플래시 메모리 프로그램/소거 제어 프로그램을 저장하고 내부 플래시에 이 제어 프로그램과 데이터를 전송 받기 위한 프로그램이 사전에 준비되어 있다면 on-board로 내부 플래시 메모리를 다시 프로그램할 수 있습니다. 유저 프로그램 모드를 선택하기 위해서 내부 플래시 메모리에서 부트할 수 있는 모드(모드1)을 선택해야 합니다. 플래시 메모리는 읽기 동작을 수행하면서 프로그램이나 소거를 할 수 없으므로 플래시 메모리의 프로그램/소거 동작을 제어하는 프로그램은 외부 메모리에서 내부 RAM으로 전송되어 내부 RAM에서 실행되어야 합니다. **그림 12.4**는 유저 프로그램 모드의 실행 순서를 나타냅니다.

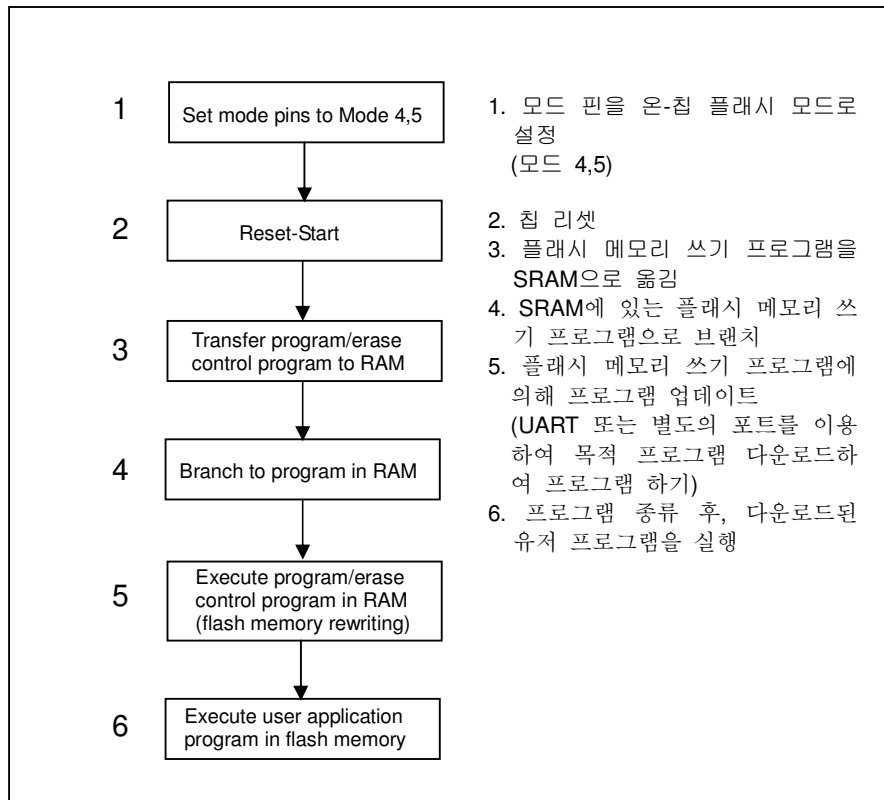
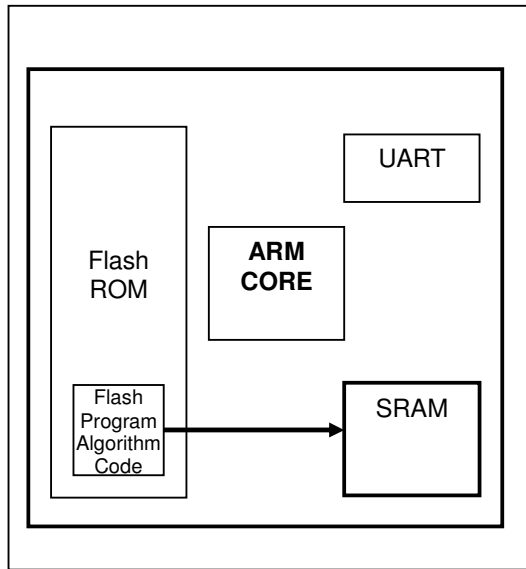


그림 12.4 유저 모드 실행 순서

## 적용 예 (유저 프로그램 모드)

## 1. 응용 프로그램 다운로드

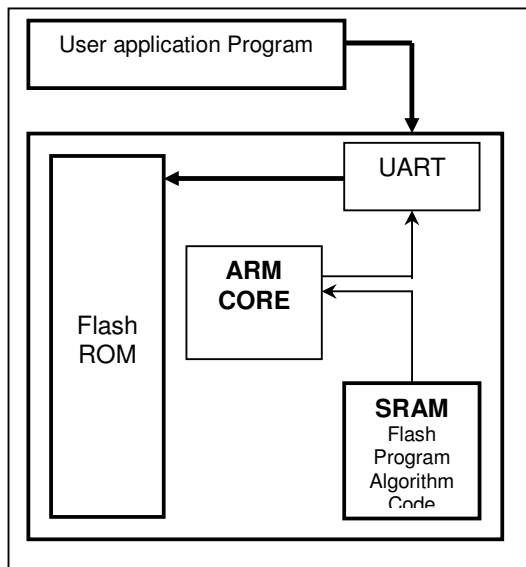


Step 1. 모드 4 또는 5 로으로 설정

Step 2. 칩 리셋

Step 3. 플래시에 있는 플래시 프로그램 알고리즘 코드를 SRAM 으로 전송

## 2. 다운로드된 응용 프로그램 실행



Step 4. SRAM 의 플래시 프로그램 알고리즘 코드의 시작 부분으로 분기하여 실행

Step 5. 플래시 프로그램 알고리즘은 프로그램할 영역을 소거함(Erase)

Step 6. 소거한 영역에 UART 를 통해 응용 프로그램 코드를 호스트로부터 다운로드하여 프로그램함.

Step 7. 플래시 프로그램이 끝나면 내부 플래시를 통상의 읽기 모드로 전환 후 대기

Step 8. 칩 리셋

Step 9. 새로운 응용 프로그램으로 플래시 메모리에서 실행함





제13장

**A/D** 컨버터

## 13.1 개요

HMS39C7092 는 10 비트 SAR 타입 A/D 컨버터 5 채널을 내장하고 있습니다. 내장된 ADC 는 5 개의 채널을 시분할하여 입력으로 받습니다. 기준 전압 입력인 AVREF 를 가변함으로써 작은 아날로그 입력도 10 비트 해상도로 변환 할 수 있습니다. 단, 이 AVREF 는 DAC 와 공통으로 사용됩니다.

## 13.1.1 특징

A/D 컨버터의 특징은 다음과 같습니다.

- 10 비트 정밀도(resolution)
- 6 입력 채널들
- 가변적인 아날로그 기준 전압 :  
아날로그 기준 전압은 AVREF pin 의 기준전압에 의해 결정
- 고속 A/D 변환 :  
변환시간 : 최소 채널당 2us (8MHz ADC 클럭 시)
- 아날로그 입력 전압 범위 : GND ~ AVREF
- 샘플-앤-홀드(sample-and-hold) 회로 내장
- A/D 컨버전 인터럽트 지원

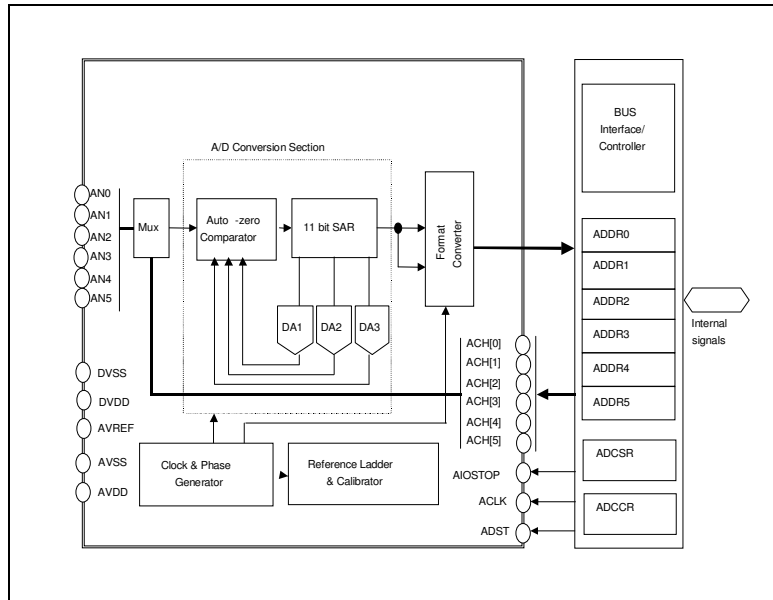


그림 13.1 A/D 컨버터의 블럭도

## 13.1.2 핀 구성

표 13.1 은 A/D 컨버터의 입력 핀을 나열하였습니다. AVDD 와 AVSS 는 아날로그 부의 전원 공급이며, AVREF 는 A/D 컨버터의 기준 전압입니다.

표 13.1 A/D 컨버터 핀

핀 명칭	I/O	설 명
AVDD	Input	아날로그 전원 공급
AVSS	Input	아날로그 접지 (내부적으로 VSS 와 결선)
AVREF	Input	아날로그 기준 전압
AN <sub>0</sub>	Input	아날로그 입력 채널 0
AN <sub>1</sub>	Input	아날로그 입력 채널 1
AN <sub>2</sub>	Input	아날로그 입력 채널 2
AN <sub>3</sub>	Input	아날로그 입력 채널 3
AN <sub>4</sub>	Input	아날로그 입력 채널 4
AN <sub>5</sub>	Input	아날로그 입력 채널 5

## 13.2 A/D 컨버터 레지스터들

A/D 컨버터를 제어하는데 사용된 레지스터들이 표 13.2 에 나타나 있습니다. 이 레지스터들의 베이스 어드레스는 0x0900\_1700 입니다.

표 13.2 A/D 컨버터의 레지스터들

레지스터명	I/O Offset	R/W	명 칭	초기값
ADSR	0x1700	R/W	제어/상태 레지스터	0x00
ADCR	0x1704	R/W	제어 레지스터	0x01
ADDR0	0x1708	R	데이터 레지스터 0	0x0000
ADDR1	0x170C	R	데이터 레지스터 1	0x0000
ADDR2	0x1710	R	데이터 레지스터 2	0x0000
ADDR3	0x1714	R	데이터 레지스터 3	0x0000
ADDR4	0x1718	R	데이터 레지스터 4	0x0000
ADDR5	0x171C	R	데이터 레지스터 5	0x0000

## 13.2.1 레지스터 설명

## ADCSR A/D 제어/상태 레지스터 (0x0900\_1700 R/W)

비트	b7	b6	b5	b4	b3	b2	b1	b0
<b>ADCSR</b>	ADF	ADST	ADIE	ACKS		ACHS		
Init. Val.	0	0	0	0	0	0	0	0
RD/WR	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

초기값: 0x00

**ACHS** 채널선택 (아날로그 입력 채널을 선택)  
 000 : 아날로그 입력으로 채널 0 선택  
 001 : 아날로그 입력으로 채널 1 선택  
 010 : 아날로그 입력으로 채널 2 선택  
 011 : 아날로그 입력으로 채널 3 선택  
 100 : 아날로그 입력으로 채널 4 선택  
 101 : 아날로그 입력으로 채널 5 선택

**ACKS** ADC 입력 클럭 선택 (A/D 변환시간을 선택)  
 00 : 시스템 클럭의 8 분주된 클럭을 사용  
 01 : 시스템 클럭의 4 분주된 클럭을 사용  
 10 : 시스템 클럭의 2 분주된 클럭을 사용  
 11 : 타이머 5의 출력을 입력 클럭으로 사용

**ADIE** A/D 인터럽트 기능선택  
 0 : A/D 인터럽트를 발생하지 않음  
 1 : A/D 인터럽트를 A/D 변환이 완료 시 발생

**ADST** A/D 변환 시작  
 0 : A/D 변환 중  
 1 : A/D 변환의 시작, (3 클럭후에 자동 클리어)

**ADF** A/D 변환 완료 플래그  
 0 : A/D 변환 중 또는 대기 중  
 1 : A/D 변환 완료

ADCSR 은 A/D 컨버터의 제어/상태 레지스터로, ACH[2:0]은 아날로그 입력 채널의 선택에 사용됩니다. CKS[1:0]은 A/D 컨버터의 입력 클럭을 선택하는데 사용되는데, '00'이 선택되었을 때는 ADC의 입력 클럭은 시스템 클럭을 8 분주한 클럭이고 '01'이 선택되었을 때는 4 분주된 클럭이, '10'이 선택되었을 때는 2 분주된 클럭이, '11'이 선택되었을 때는 타이머 블럭으로부터 온 외부클럭이 ADC의 입력 클럭으로 사용됩니다.

ADIE는 인터럽트 기능선택 신호로, '0'일때 A/D 컨버터는 A/D 변환이 끝나는 무렵에 인터럽트를 발생시키지 않으며, '1'일때 인터럽트를 발생시킵니다. ADST는 A/D 변환이 시작됨을 나타내며, '1'일때 A/D 변환이 시작되며 3 ADC 클럭 사이클 이후에 자동 클리어됩니다. ADF 비트는 A/D 변환이 끝났음을 나타내며, 이 플래그가 '1'일때 A/D 변환이 끝났음을 알려줍니다. 이 플래그는 '0'으로 써질 때 클리어됩니다.

## A/D 컨버터

## Flash MCU(HMS39C7092)

### ADCR A/D 제어 레지스터 (0X0900\_1704 R/W)

비트	b15-b2	b1	b0
<b>ADCCR</b>	Reserved	CALEND	AIO 스톱
Init. Val.		0	1
RD/WR		R	R/W

초기값: 0x01

비트 영역: I0-I1

**CALEND** 보정의 완료를 표시  
 0 : 보정이 완료되지 않음을 나타냄  
 1 : 보정이 완료됨을 나타냄

**AIO 스톱** 파워 세이브 모드  
 0 : A/D 컨버터는 정상 동작 모드에 있음  
 1 : A/D 컨버터는 파워 세이브 모드에 있음

CALEND 는 보정시간(Tcal)을 나타내며, 오직 읽혀지기만 하는 신호입니다.  
 A/D 변환은 이 CALEND 가 '1'이 된 시점부터 안정화된 값을 갖게 됩니다.  
 AIO 스톱은 파워 세이브 모드로 들어가는 데 사용되며 '1'일 때는 A/D 변환이 일어나지 않으며, '0'이 되었을 때 정상적으로 A/D 변환이 이뤄집니다. 자세한 타이밍도는 **그림 13.2 A/D 컨버터 동작** 을 살펴보시기 바랍니다

### ADDR0~5 A/D 데이터 레지스터 0~5 (0x0900\_1708 ~ 0x0900\_171C R)

비트	b15	B14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	B2	b1	b0
	ADDR										Reserved					
Init. Val.						000					0	0	0	0	0	0
RD/WR	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

초기값: 0x0000

비트 영역: I6-I15

**ADDR** A/D 변환 데이터 (10 비트)

## 13.3 동작

A/D 컨버터는 10 비트 정밀도(resolution)로 SAR 타입방식으로 동작합니다.  
 그림 13.2 는 A/D 컨버터의 동작을 보여줍니다.

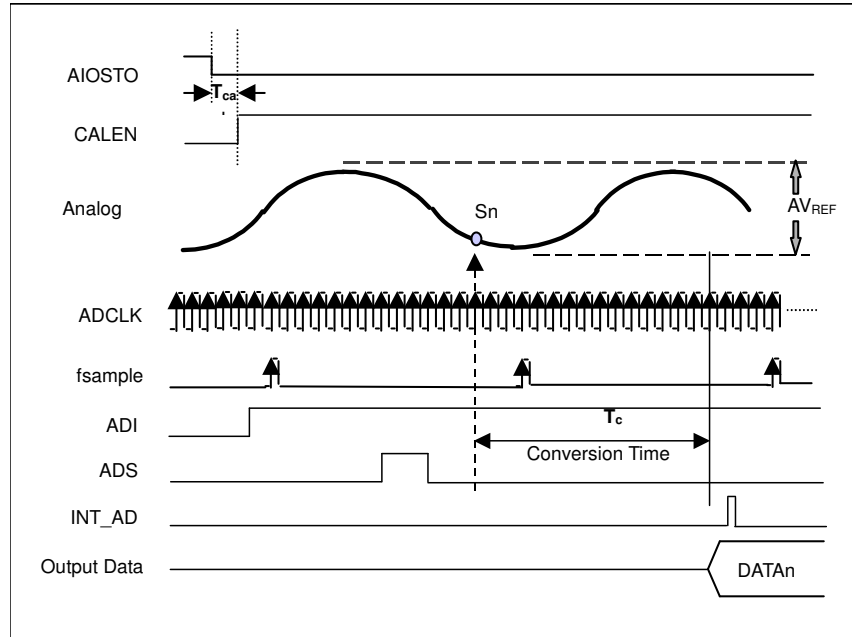


그림 13.2 A/D 컨버터 동작

**13.4 인터럽트**

A/D 컨버터는 A/D 변환이 끝나는 시점에 인터럽트를 발생시킵니다. 이 인터럽트는 ADSCR 레지스터의 ADIE 로 인터럽트 기능 사용 여부를 선택하게 합니다.



## 13.5 사용시 주의사항

A/D 컨버터 이용시, 다음을 주의하여 참조하십시오.

1. 아날로그 입력 전압 범위 : A/D 변환 중에 아날로그 입력 핀인  $AN_n$ 의 전압레벨은  $AVSS \leq AN_n \leq AVREF$ 에 있어야 합니다.

2. 아날로그, 디지털 전압들간의 관계 (AVDD, AVSS, VDD, VSS) :  
AVSS = VSS 이어야 하며, A/D 컨버터가 사용되지 않더라도 AVDD 및 AVSS는 각각 연결되지 않은 채로 있어서는 안됩니다.

3. AVREF 프로그래밍 범위 : 기준 전압인 AVREF는 다음의 범위 안에 있어야 합니다.  $AVREF \leq AVDD$ .

4. 보드(board) 설계 시 유의사항 : 보드 레이아웃에서 최대한 디지털 회로를 아날로그 회로로부터 분리하십시오. 특히 디지털 신호 라인들이 아날로그 신호 라인과 인접하거나 가로 지르게 하는 레이아웃은 피해야 합니다. 이것은 아날로그 회로가 부정확하게 동작하게 할 수 있으며, 반대로 A/D 변환의 정확도에 영향을 끼칠 수 있습니다. 아날로그 입력 핀( $AN_0 \sim AN_5$ ) 및 기준 전압(AVREF) 그리고 아날로그 공급 전압인 AVDD는 아날로그 접지인 AVSS에 의해 디지털 회로와 분리되어야 합니다. 이 AVSS는 보드상에서 안정한 디지털 접지인 VSS에 연결되어야 합니다.

5. 잡음(noise)에 관한 유의사항 : 서지전압이나 아날로그 입력 핀들과 AVREF에서의 비정상적인 전압에 의한 손상을 막기 위해, **그림 13.3**와 같이 AVDD와 AVSS 사이에 보호 회로(protection circuit)를 구성하십시오. AVDD와 AVREF에 연결된 바이패스(bypass) 콘덴서들과 아날로그 입력 핀에 연결된 필터 콘덴서들은 AVSS에 연결되어야 합니다.

6. A/D 변환에서의 정확도 정의(accuracy definitions) : HMS39C7092에서의 A/D 변환 정확도는 다음과 같습니다.

- Resolution: A/D 컨버터의 디지털 출력 코드 길이
- Offset error : 0000000000에서 0000000001로 바뀌어지는 아날로그 입력 최소 전압과 이상적인 A/D 컨버터와의 차이 (**그림 13.4**)
- Full-scale error: 1111111110에서 1111111111로 바뀌어지는 아날로그 입력 전압과 이상적인 A/D 컨버터와의 차이 (**그림 13.4**)
- Quantization error: A/D 컨버터의 고유의 에러 ; 1/2 LSB (**그림 13.5**)
- Nonlinearity error: 오프셋 에러, 폴스케일 에러, 양자화 에러 등을 제외한 전 영역에서의 특성과 이상적인 A/D 컨버터와의 차이
- Absolute accuracy: 오프셋 에러, 폴스케일 에러, 양자화(Quantization) 에러, 비선형성 에러 등을 포함한 디지털 값과 아날로그 입력값과의 차이

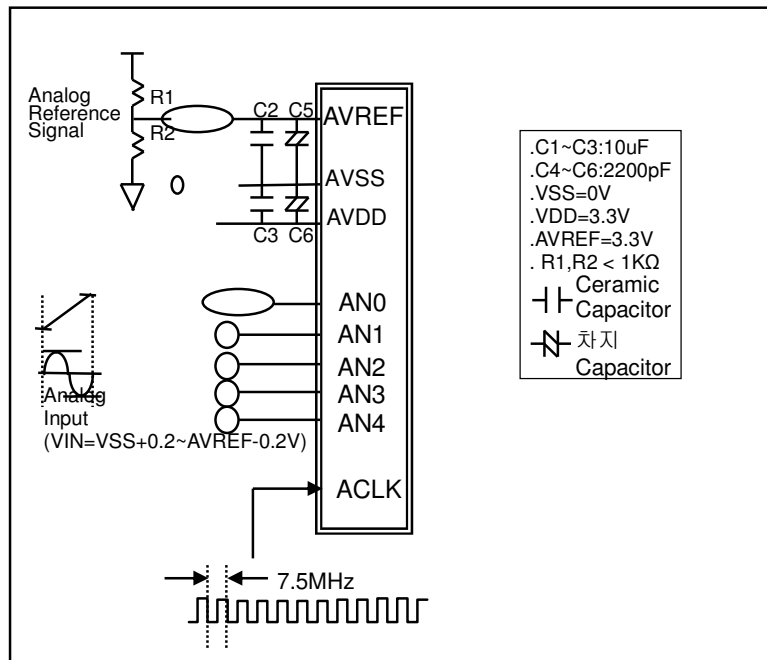


그림 13.3 아날로그 입력 회로의 예제

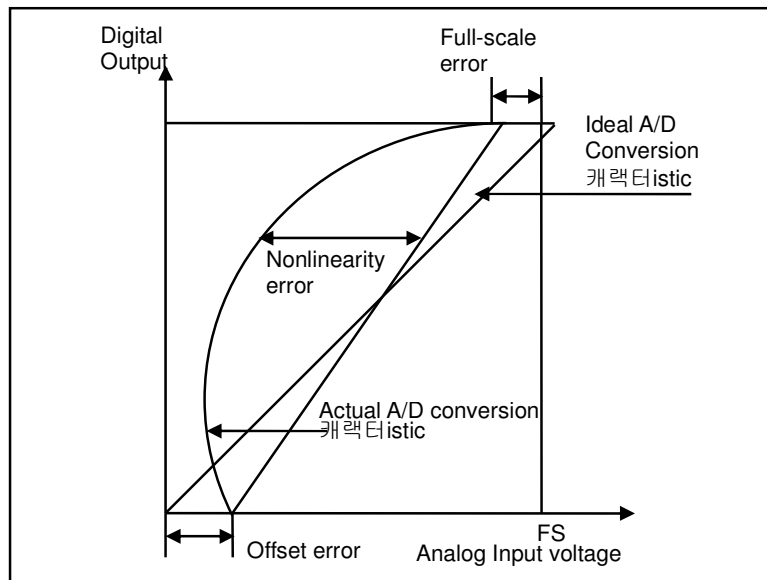


그림 13.4 A/D 컨버터 정확도 정의 (1)

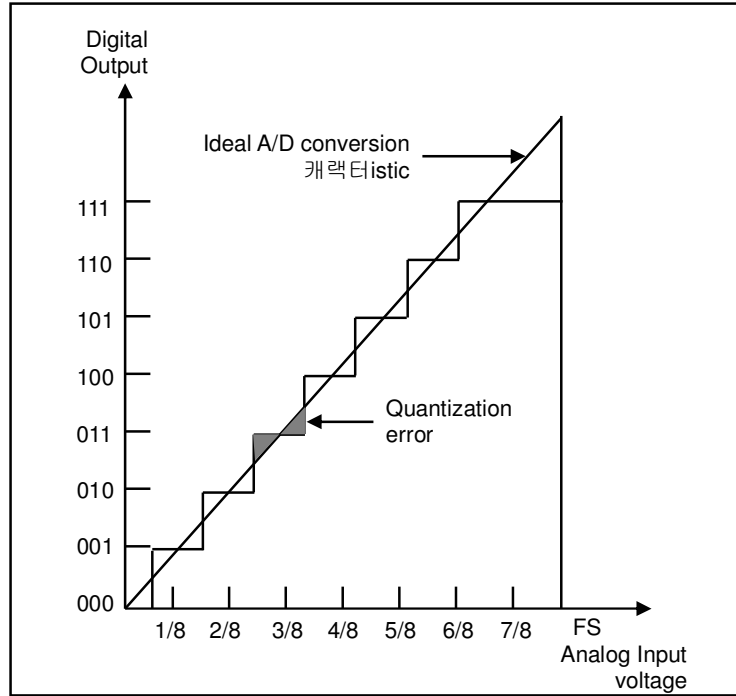


그림 13.5 A/D 컨버터 정확도 정의 (2)

7. **Absolute Accuracy**의 영향 : 외부 콘덴서를 다는 것은 접지와 커플링을 야기시켜서 만약 접지라인에 잡음이 있다면 **absolute accuracy**를 떨어뜨릴 수 있습니다. 이 콘덴서는 AVSS와 같은 안정된 접지에 연결되어야 합니다. 만약 필터 회로가 사용된다면, 동일 보드상에서 디지털 신호와의 간섭에 유의하시고, 그 회로가 안테나처럼 동작하지 않는지 확인해야 합니다.

## 13.6 예제

```

AREA      ADDONE, CODE, 읽기 ONLY
ENTRY

ldr      r0, =ADC_base      ; Make AOP stop to LOW to release power down mode,
add      r0, r0, #ADCR      ; then set normal operation mode.
mov      r1, #0
str      r1, [r0]

loop
ldr      r2, [r0]           ; Check whether CALEND is set to 1 or not.
cmp      r2, #2            ; (Check it's in the range of calibration time)
bne      loop

ldr      r0, =ADC_base      ; Set the control bits in ADSCR register
add      r0, r0, #ADSR      ; AD conversion start, CKS=1/8 ADCLK, ACH=0ch
mov      r1, #0x40          ;(set ADST, CKS=0, ACH=0)
str      r1, [r0]

loop_adf                                ;check ADF (AD conversion END)
adr      r2, [r0]
and      r2, r2, #0x80
cmp      r2, #0x80
bne      loop_adf
ldr      r1, [r0]
and      r1, r1, #0x7f      ; Clear ADF to 0
str      r1, [r0]

ldr      r0, =ADC_base      ; Read ADDR0 register into R1 register
add      r0, r0, #ADDR0
ldr      r1, [r0]

END

```





제14장  
전기적 특성

14.1 동작의 절대 한계치

표 14.1 은 동작 한계치를 나타내고 있다. (참고 1 과 2 참조).

표 14.1 절대 한계치

항 목	기호	값
Power supply voltage	$V_{DD}$	-0.5V to 4.6V
DC Input Voltage (except I/O pins)	$V_{IN}$	-0.5V to 6.0V
DC Output Voltage (Output in high or low state)	$V_{OUT}$	-0.5V to $V_{DD}+0.5V$
DC Output Voltage (Output in 3-state)	$V_{OUT}$	-0.5V to +6.0V
Reference Voltage	$V_{REF}$	-0.3V to $AV_{DD}+0.3$
Analog Power supply voltage	$AV_{CC}$	-0.3V to 3.6V
Analog Input Voltage	$V_{AN}$	-0.3V to $AV_{DD}+0.3$
Storage Temperature range	$T_S$	-65 to +150 °C

참고 1: 연속 절대 한계는 디바이스에 손상을 입힐 수 있는 값입니다. 이러한 조건 또는 이상의 조건으로 노출되면 디바이스의 신뢰성에 안좋은 영향을 미칩니다. 절대 한계치 조건 하에서의 기능 동작에 대해서는 포함되지 않습니다.

참고 2: 위의 조건을 순간적으로 초과할 수는 있습니다.

14.2 권장 동작 조건

표 14.2 는 권장 동작 조건을 나타내고 있습니다.

표 14.2 권장 동작 조건

기호	파라메타	최소	최대	단위
$V_{DD}$	Supply voltage	3.0	3.6	V
$V_{IN}$	Input voltage	0	5.5	V
$V_{OUT}$	Output voltage outputs active	0	$V_{DD}$	V
$V_{OUT}$	Output voltage outputs disabled	0	5.5	V
$V_{PPD}$	Flash Program/Erase voltage	4.5	5.5	V
$T_A$	Operating free-air temperature	-40	+85	°C



## 14.3 DC 특성

표 14.3 은 DC 특성을 나타내고 있습니다.

표 14.3 DC 특성

항 목		기호	최소	최대	단위	조 건
Normal Input	Input Low Voltage	$V_{IL}$	-0.5	$0.3XV_{DD}$	V	VDD=3.0V to 3.6V
	Input High Voltage	$V_{IH}$	$0.7XV_{DD}$	$V_{DD}+0.5$	V	
Schmitt Trigger Input	Input Low Voltage	$V_{ILSCH}$	0.9	1.24	V	VDD=3.3V
	Input High Voltage	$V_{IHSCH}$	1.39	1.82	V	
Output Low Voltage		$V_{OL}$	-	0.4	V	VDD=3.0V $I_{OL}=0.8mA$
Output High Voltage		$V_{OH}$	2.4	-	V	VDD=3.0V $I_{OH}=-0.8mA$
Input current at maximum voltage		$I_I$	-	1	mA	VDD=3.0V to 3.6V Input=5.5V

표 14.4 는 풀업 핀에 대한 특성을 나타냅니다.

표 14.4 풀업 핀의 특성

	최소 전류 (0V 시)	최대 전류 (0V 시)
3.3V Pull-up	30uA	-146uA
등가 저항	88.3kOhms	24.7kOhms

표 14.5 는 풀다운 핀에 대한 특성을 나타냅니다.

표 14.5 풀다운 핀의 특성

	최소 전류 (2.65V 입력 시)	최대 전류 (3.6V 입력 시)
Pull-down	31uA	159uA
등가 저항	85.5kOhms	22.6kOhms

14.4 AC 특성

타이밍 측정을 위한 조건은 별도 표시 없을 때 다음의 조건이 적용됩니다:

- 전원: 3.3V
- 온도: 25 °C
- 입력 신호 상승 및 하강 스위칭 시간: 0.3ns

클럭 타이밍 파라메타는 표 14.6 에 나타나있습니다. 컨트롤 신호 타이밍 파라메타에 대해서는 표 14.7 에 나타나 있으며, 버스 타이밍 파라메타는 표 14.8 에 나타나있습니다.

표 14.6 클럭 타이밍

항 목	기호	최소.	최대.	단위	조 건
Clock cycle time	t <sub>CYC</sub>	20	1000	ns	그림 14.3
Clock pulse low width	t <sub>CL</sub>	10	-	ns	
Clock pulse high width	t <sub>CH</sub>	10	-	ns	
Clock rise time	t <sub>Cr</sub>	-	10	ns	
Clock fall time	t <sub>Cf</sub>	-	10	ns	
Clock oscillator Settling time at reset	t <sub>OSC1</sub>	20	-	ms	그림 14.1

표 14.7 컨트롤 신호 타이밍

항 목	기호	최소.	최대.	단위	조 건
nRESET setup time	t <sub>RESS</sub>	200	-	ns	그림 14.2
nRESET pulse width	t <sub>RESW</sub>	5	-	t <sub>CYC</sub>	
Mode programming setup time	t <sub>MDS</sub>	200	-	ns	

표 14.8 버스 타이밍

(units: ns)

항 목	기호	최소.	최대.	조 건
Address delay time	$t_{AD}$	-	20	그림 14.3
Address hold time	$t_{AH}$	0	-	
Read strobe delay time	$t_{RSD}$	-	20	그림 14.4
Address strobe delay time	$t_{ASD}$	-	20	
Write strobe delay time	$t_{WSD}$	-	20	
Strobe delay time	$t_{SD}$	-	20	
Write strobe pulse width 1	$t_{WSW1}$	20	-	
Address setup time 1	$t_{AS1}$	10	-	
Read Data setup time	$t_{RDS}$	20	-	
Read Data hold time	$t_{RDH}$	0	-	
Write Data delay time	$t_{WDD}$	-	20	
Write Data setup time 1	$t_{WDS1}$	10	-	
Write Data hold time	$t_{WDH}$	0	-	
Read Data access time 1	$t_{ACC1}$	-	40	
Read Data access time 3	$t_{ACC3}$	-	40	
Precharge time 1	$t_{PCH1}$	20	-	그림 14.5
Precharge time 2	$t_{PCH2}$	0	-	
Wait setup time	$t_{WTS}$	20	-	
Wait hold time	$t_{WTH}$	5	-	
BUS request setup time	$t_{BRQS}$	20	-	그림 14.6
BUS acknowledge time 1	$t_{BACD1}$	-	30	
BUS acknowledge time 2	$t_{BACD2}$	-	30	
BUS -floating time	$t_{BZD}$	-	30	

14.4 AD 변환 특성

표 14.9 은 A/D 변환의 동작 특성을 나타냅니다.

표 14.9 A/D 변환 동작 조건

파라메타	기호	최소	최대	단위
Power Supply	AVDD	3.0	3.6	V
Analog Input	AN	GND+0.2	AVREF-0.2	V
Clock Pulse Width	T <sub>PWL</sub>	62.5		ns
Operating Temperature	T <sub>OP</sub>	0	100	°C

표 14.10 는 A/D 컨버터의 전기적 특성을 나타냅니다.

표 14.10 A/D 컨버터의 전기적 특성

조건 : 아나로그 입력 주파수 F<sub>IN</sub>=1.26KHz, ADCLK=7.5MHz,  
AVDD=DVDD=AVREF=3.3V T=25 °C

기호	파라메타	조건	최소	통상	최대	단위
I <sub>DD</sub>	Normal	ADCLK=7.5MHz Input=AV <sub>REF</sub> F <sub>IN</sub> =1.26KHz ramp			2.0	mA
	Power Down	ADCLK=7.5MHz			50	uA
AN	Analog input voltage		GND+0.2		AV <sub>REF</sub> -0.2	V
Accuracy	Resolution				10	bit
INL	Integral Non-linearity	ADCLK=7.5MHz Input=0-AVREF(V) (F <sub>IN</sub> =1.26KHz)			±2.0	LSB
DNL	Differential Non-linearity	ADCLK=7.5MHz Input=0-AVREF (F <sub>IN</sub> =1.26KHz ramp)			±1.0	LSB
SNR	Signal-to-Noise Ratio	Fsample=500Ksps, F <sub>IN</sub> =1.26KHz	48	54		dB
SNDR	Signal-to-Noise Distortion Ratio		45	54		dB
ADCLK			2	4	8	MHz
t <sub>c</sub>	Conversion time		2	4	8	us
C <sub>o</sub>	Output capacitance			20		pF
Rref	Reference resistance			10K		Ω
AV <sub>REF</sub>	Analog Reference Voltage				AV <sub>DD</sub>	V
T <sub>CAL</sub>	Power up time	Calibration time		22		ms
THD	Total harmonic distortion		55	60		dB
AVDD	Analog power		3.0	3.3	3.6	V
DVDD	Digital power		3.0	3.3	3.6	V
F <sub>IN</sub>	Analog input frequency				5	KHz

## 14.5 동작 타이밍

## 14.5.1 클럭 타이밍

그림 14.1 는 수정 발진의 안정화 시간을 보여주고 있습니다.

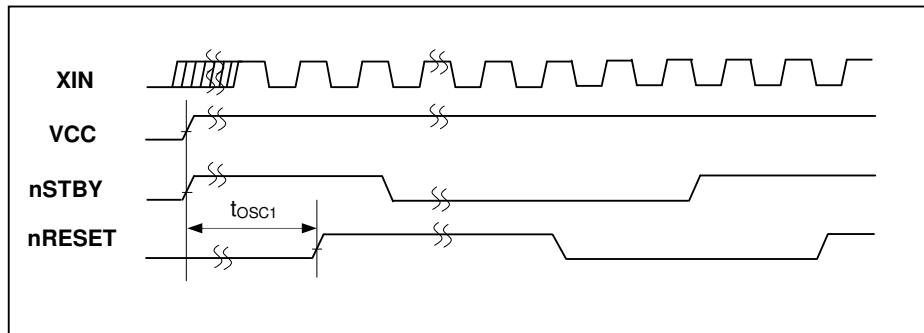


그림 14.1 수정 발진의 안정화 시간

## 14.5.2 리셋 타이밍

그림 14.2 는 리셋 입력 타이밍을 보여주고 있습니다.

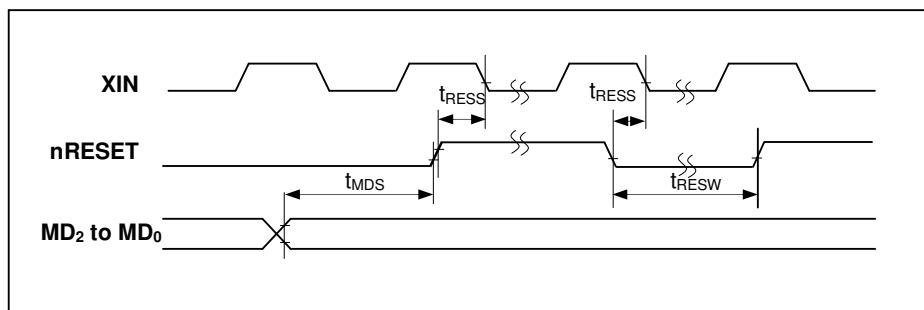


그림 14.2 리셋 입력 타이밍

14.5.3 버스 타이밍

그림 14.3 및 그림 14.6 는 버스 컨트롤러의 타이밍을 보여주고 있습니다.

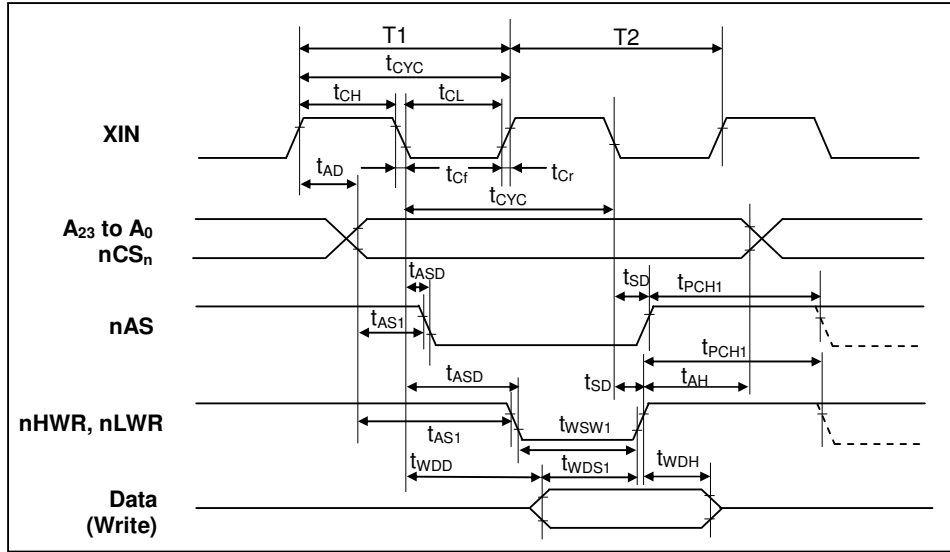


그림 14.3 버스 컨트롤러의 쓰기 타이밍도

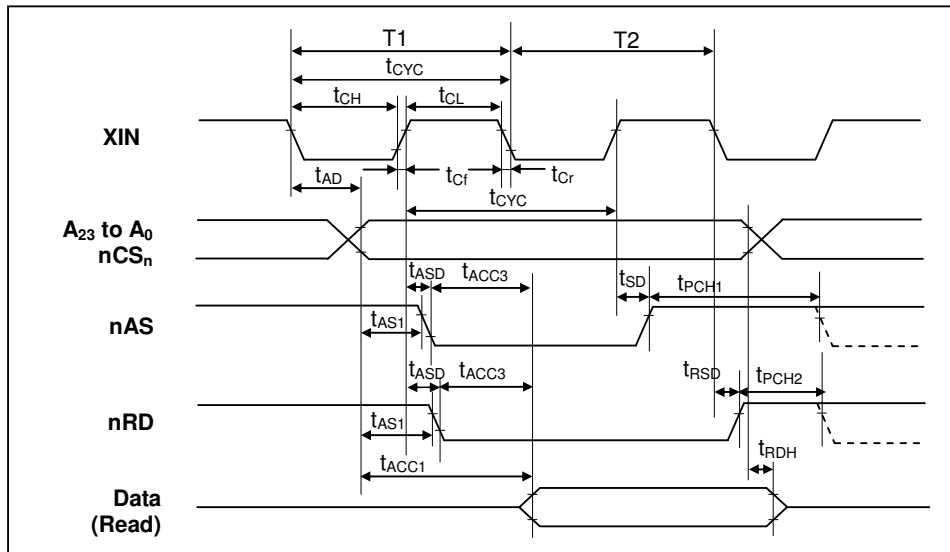


그림 14.4 버스 컨트롤러의 읽기 타이밍도

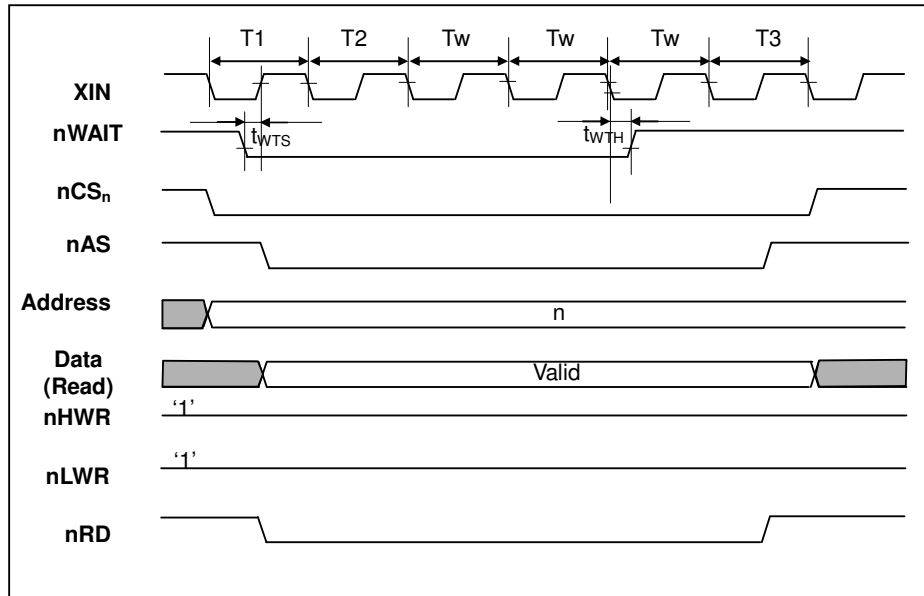


그림 14.5 외부 웨이트 입력에 의한 기본 버스 사이클

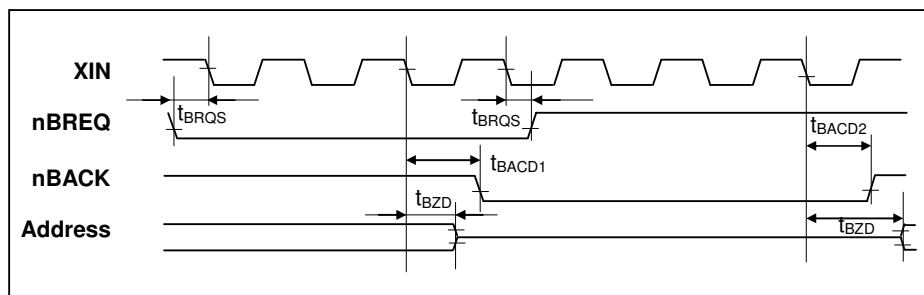


그림 14.6 버스 릴리스 모드 타이밍

# A-1

# Flash MCU(HMS39C7092)

## A-1 Package Dimension

